



組合せ回路の設計

- 加算器
 - 半加算器, 全加算器
- 比較器
- デコーダ

組合せ回路の設計

■ 加算器 (1)

2進法

$$\begin{array}{r} 10001 \\ +) 01011 \\ \hline 11100 \end{array}$$

$$0 + 1 + 1 = 10$$

10進法

$$\begin{array}{r} 17 \\ +) 11 \\ \hline 28 \end{array}$$

$$1 + 1 = 10$$

↪ 桁上げ

通常の
代数

組合せ回路の設計

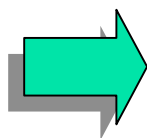
■ 加算器 (2)

n桁の2進データの加算

$$(a_{n-1} \cdots a_k \cdots a_0)$$

$$(b_{n-1} \cdots b_k \cdots b_0)$$

(k+1)桁
の加算



a_k, b_k : k桁のデータ

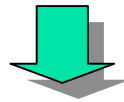
c_k : (k-1)桁からの桁上げ

組合せ回路の設計

和 桁上げ

■ 加算器 (3)

1ビットの加算



bit = binary digit

(2進1桁)

1948

C. E. Shannon



a_k	b_k	c_k	s_k	c_{k+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

組合せ回路の設計

■ 加算器 (4)

c_{k+1} の最簡AND-OR

$a_k b_k \backslash c_k$	00	01	11	10
0			1	
1		1	1	1

$$c_{k+1} = a_k b_k + b_k c_k + c_k a_k$$

a_k	b_k	c_k	s_k	c_{k+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

組合せ回路の設計

■ 加算器 (5)

s_k の論理式

$$\begin{aligned}
 s_k &= \bar{a}_k b_k \bar{c}_k + a_k \bar{b}_k \bar{c}_k \\
 &\quad + \bar{a}_k \bar{b}_k c_k + a_k b_k c_k \\
 &= a_k \oplus b_k \oplus c_k
 \end{aligned}$$

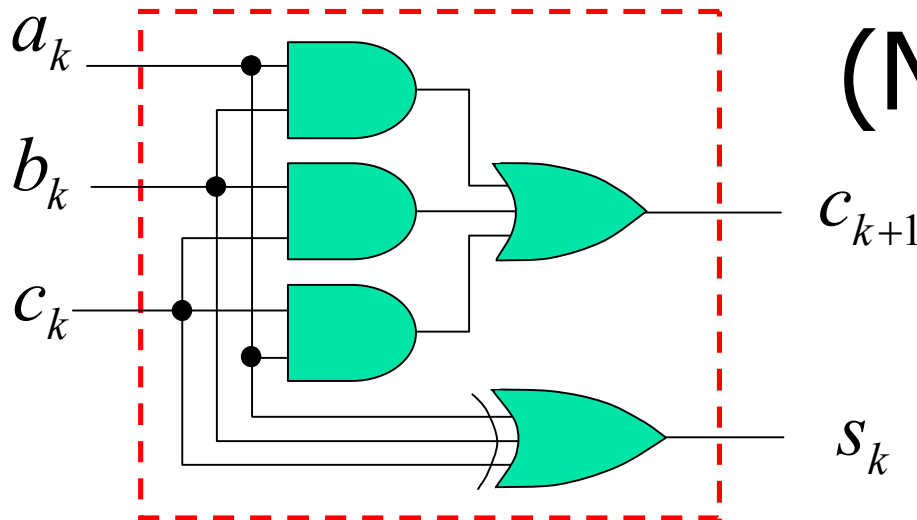
a_k	b_k	c_k	s_k	c_{k+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

組合せ回路の設計

■ 加算器 (6)

$$c_{k+1} = a_k b_k + b_k c_k + c_k a_k$$

$$s_k = a_k \oplus b_k \oplus c_k$$

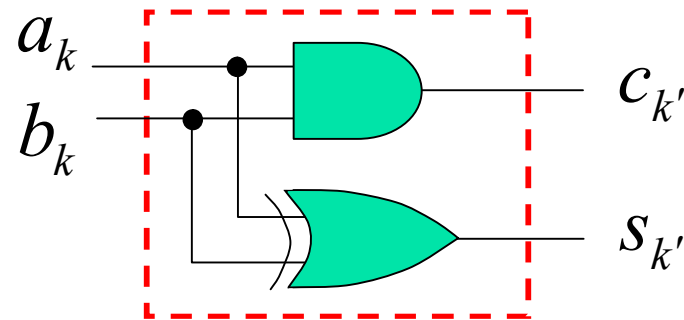


$$(N_G, N_F) = (5, 12)$$

全加算器
(Full Adder)

組合せ回路の設計

■ 半加算器 (Half Adder)



HA

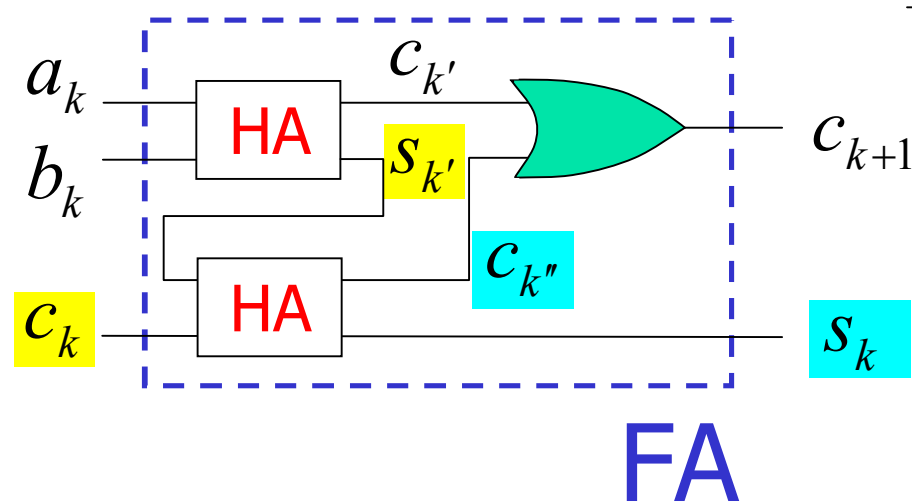
a_k	b_k	$s_{k'}$	$c_{k'}$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$c_{k'} = a_k b_k$$

$$s_{k'} = \bar{a}_k b_k + a_k \bar{b}_k = a_k \oplus b_k$$

組合せ回路の設計

■ 半加算器を用いた全加算器

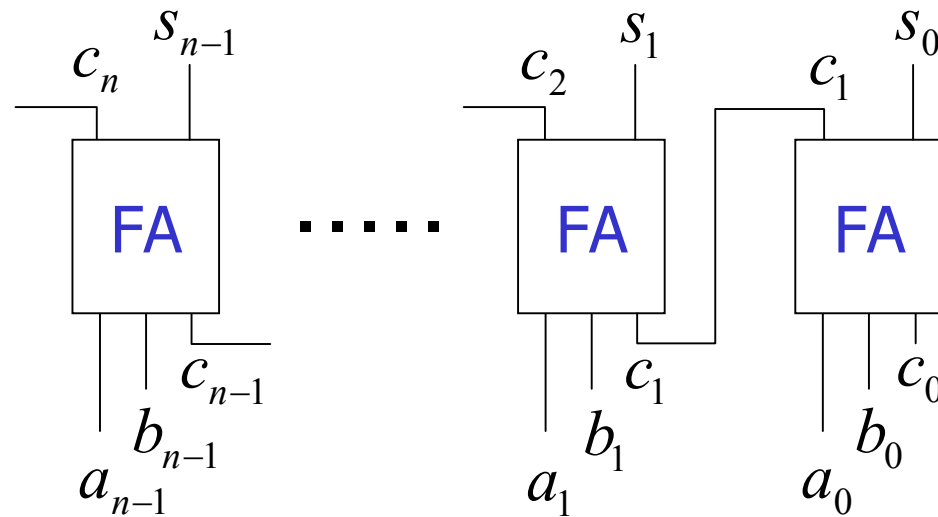


$$(N_G, N_F) = (5, 10)$$

a_k	b_k	c_k	$s_{k'}$	$c_{k'}$	$c_{k''}$	s_k	c_{k+1}
0	0	0	0	0	0	0	0
0	1	0	1	0	0	1	0
1	0	0	1	0	0	1	0
1	1	0	0	1	0	0	1
0	0	1	0	0	0	1	0
0	1	1	1	0	1	0	1
1	0	1	1	0	1	0	1
1	1	1	0	1	0	1	1

組合せ回路の設計

■ nビット並列加算器(1)



桁上げ伝搬時間

⇒ 1桁につき遅れ

組合せ回路の設計

■ nビット並列加算器(2)

桁上げ伝搬時間低減

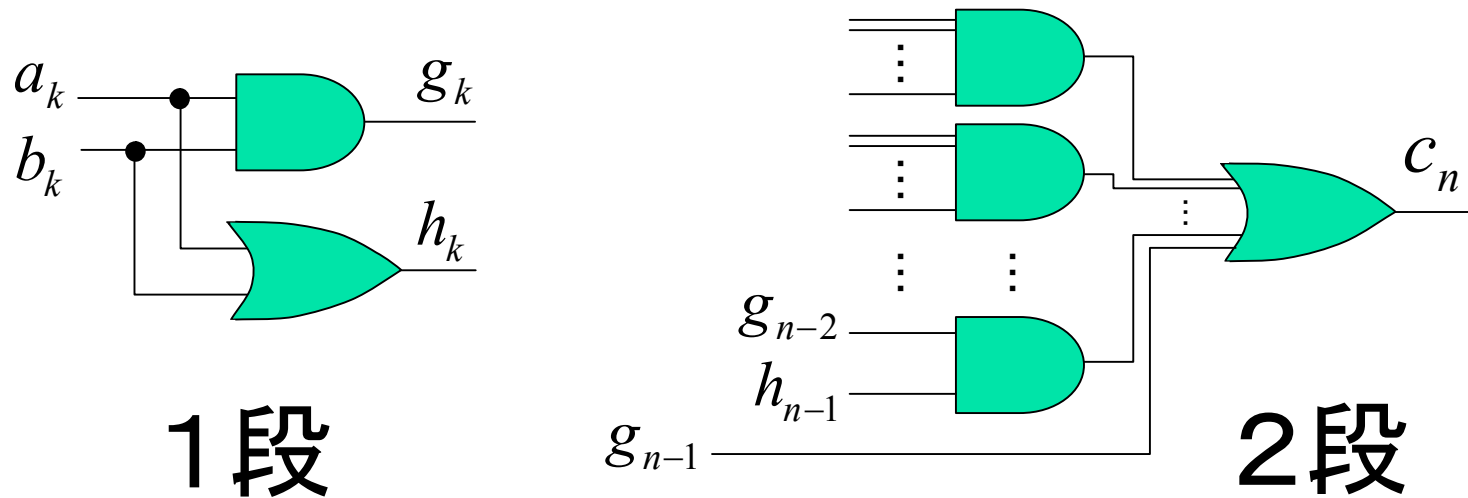
⇒ 桁上げ先見加算器

$$c_n = g_{n-1} + h_{n-1}g_{n-2} + h_{n-1}h_{n-2}g_{n-3} + \dots \\ + h_{n-1}h_{n-2} \dots h_1 g_0 + h_{n-1}h_{n-2} \dots h_0 c_0$$

$$g_k = a_k b_k, \quad h_k = a_k + b_k$$

組合せ回路の設計

■ nビット並列加算器(3)



3段分のスイッチング時間

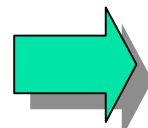
組合せ回路の設計

■ 比較器(1)

正の2進データの比較

(例) $A = (a_{n-1} \cdots a_k \cdots a_0)$

$$B = (b_{n-1} \cdots b_k \cdots b_0)$$

 $A < B$: 1を出力
 $A \geq B$: 0を出力

組合せ回路の設計

■ 比較器 (2)

10進法

$$A_k = 2^k a_k + 2^{k-1} a_{k-1} + \cdots + a_0$$

$$B_k = 2^k b_k + 2^{k-1} b_{k-1} + \cdots + b_0$$

↪ 2の k 乗

$$A_k < B_k \Rightarrow f_k = 1$$

$$A_k \geq B_k \Rightarrow f_k = 0$$

組合せ回路の設計

■ 比較器 (3)

f_k の最簡AND-OR

$a_k b_k \backslash f_{k-1}$	00	01	11	10
0		1		
1	1	1	1	

$f_k =$

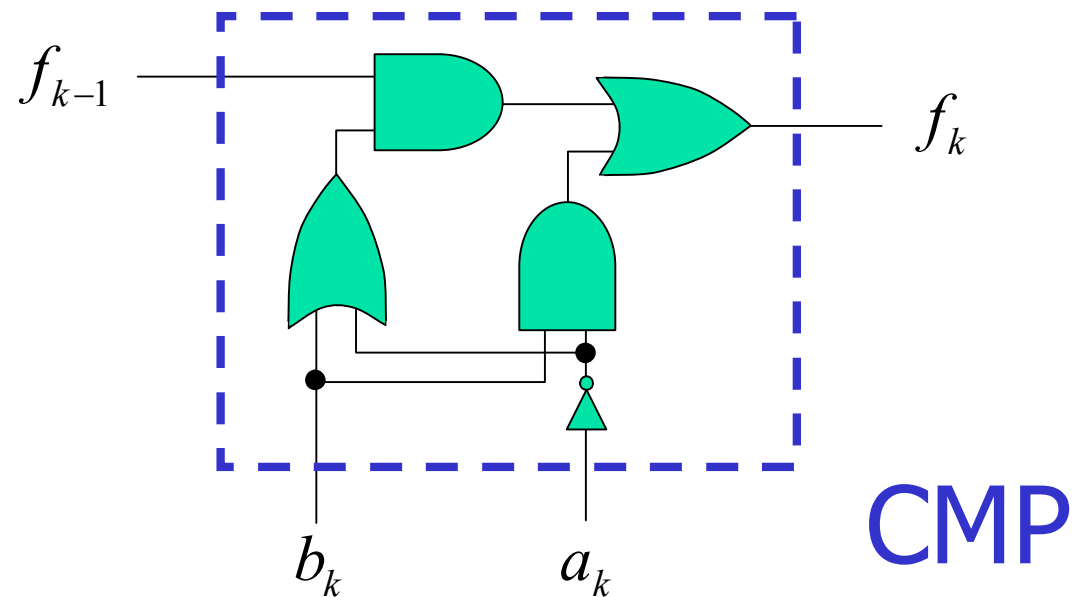
$$\bar{a}_k b_k + (\bar{a}_k + b_k) f_{k-1}$$

a_k	b_k	f_{k-1}	f_k
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	0
0	0	1	1
0	1	1	1
1	0	1	0
1	1	1	1

組合せ回路の設計

■ 比較器 (4)

$$f_k = \bar{a}_k b_k + (\bar{a}_k + b_k) f_{k-1}$$

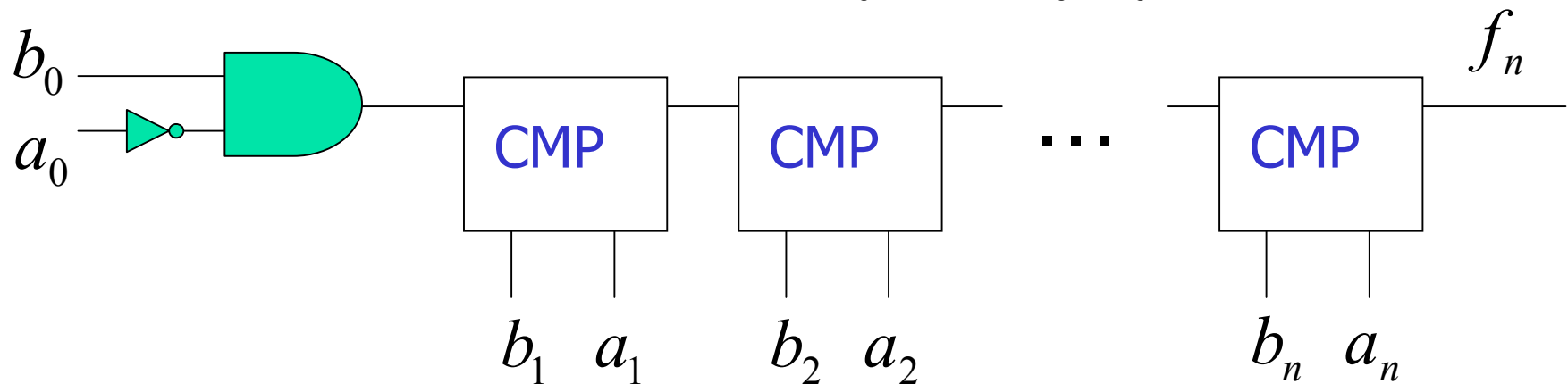


組合せ回路の設計

■ nビット比較器

$$a_0 = 0, b_0 = 1 \Rightarrow f_0 = 1$$

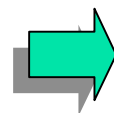
$$f_0 = \bar{a}_0 b_0$$



組合せ回路の設計

■ デコーダ

nビット符号



入力:n個

出力: 2^n 個

1個の出力:1

$(2^n - 1)$ 個の出力:0

CPU: 命令の解読

記憶装置: データのR/W場所生成

組合せ回路の設計

■ 2入力4出力デコーダ

x_1	x_2	f_1	f_2	f_3	f_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$f_1 = \bar{x}_1 \bar{x}_2, \quad f_2 = \bar{x}_1 x_2$$

$$f_3 = x_1 \bar{x}_2, \quad f_4 = x_1 x_2$$

