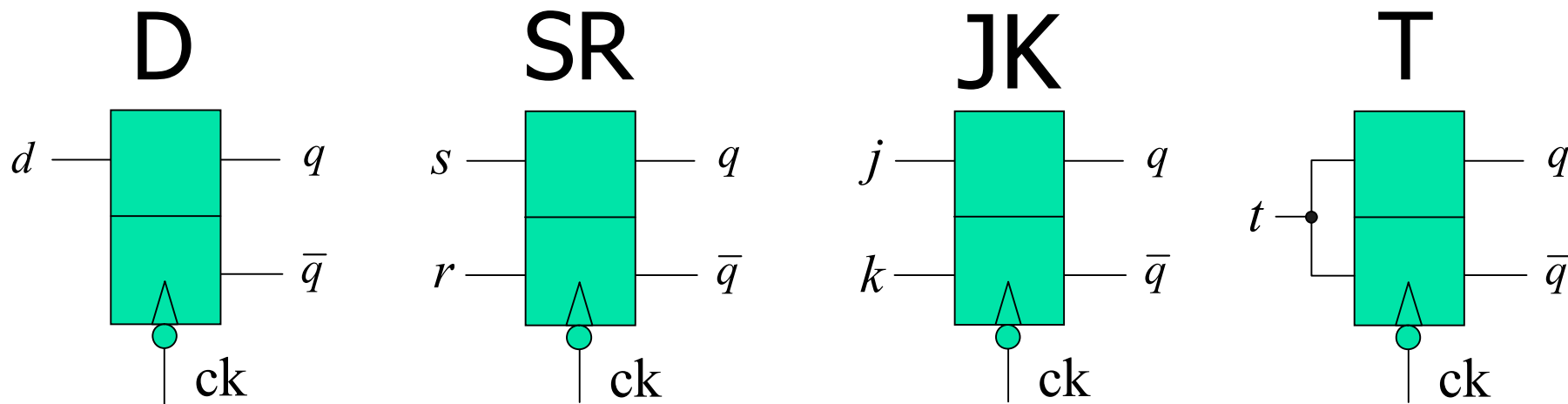


前回の講義の復習(1)

■ フリップフロップ



$d \rightarrow s$
 $\bar{d} \rightarrow r$

フィード
バック

$j = k = t$

前回の講義の復習(2)

クロックパルス (ck) } 必要
 入力 (d, s, r, j, k, t) }

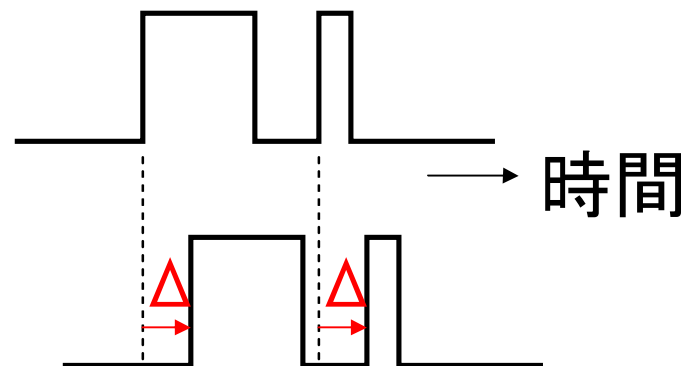
↪ フリップフロップの駆動回路

q_i	$q_i^{(1)}$	d_i	s_i	r_i	j_i	k_i	t_i
0	0	0	0	*	0	*	0
0	1	1	1	0	1	*	1
1	1	1	*	0	*	0	0
1	0	0	0	1	*	1	1

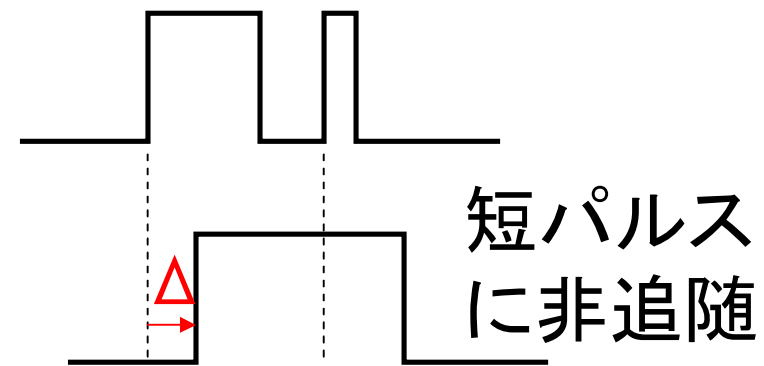
		$q^{(1)}$	
q	t	0	1
0		0	1
1		1	0

回路の遅延

- 純粹遅延 (タイミング調整)
- 浮遊遅延 (論理素子や配線に付随)

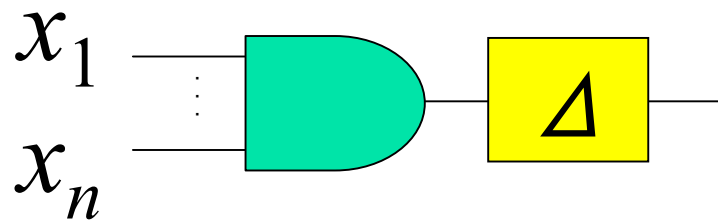


純粹遅延

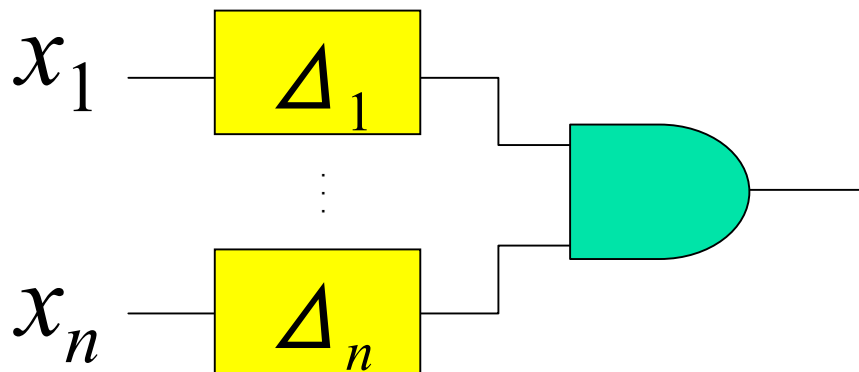


浮遊遅延

論理素子の遅延モデル



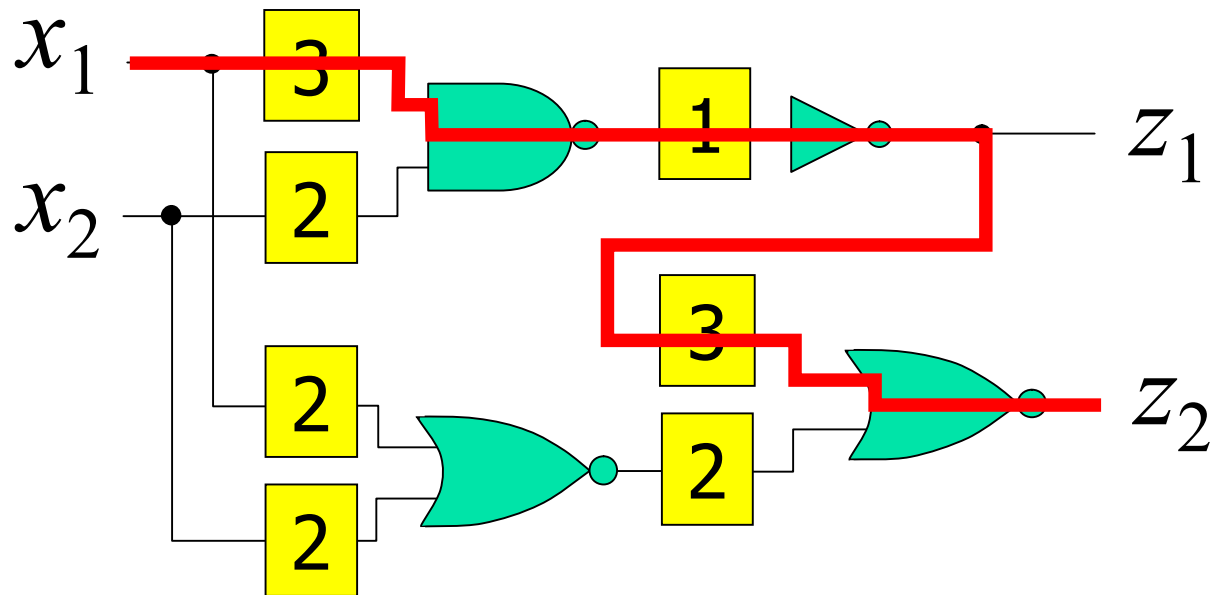
出力遅延型
(TTL)

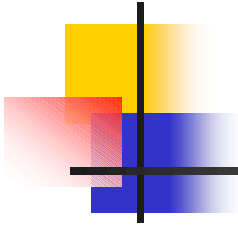


入力遅延型
(MOS, VLSI)

クリティカルパス

遅延が最大の経路





ハザード

- 「ハザードが存在する」
 - 浮遊遅延のばらつき
 - 組合せ回路の出力に瞬時的な不正パルス
(可能性)

ハザード

- 静的ハザード 定常値 **同じ**

0 → 1 → 0 0ハザード

1 → 0 → 1 1ハザード

- 動的ハザード 定常値 **異なる**

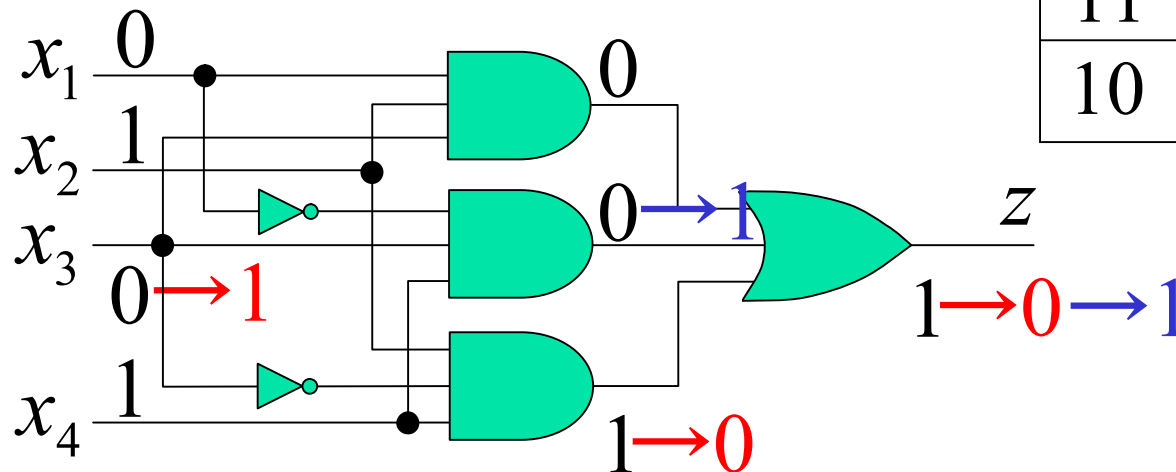
0 → 1 → 0 → 1

論理ハザード

回路構成に依存するハザード

$$z = x_1x_2x_3 + \bar{x}_1x_3x_4 + x_2\bar{x}_3x_4$$

x_1x_2 \ x_3x_4	00	01	11	10
00				
01		1	1	
11	1	1	1	
10			1	

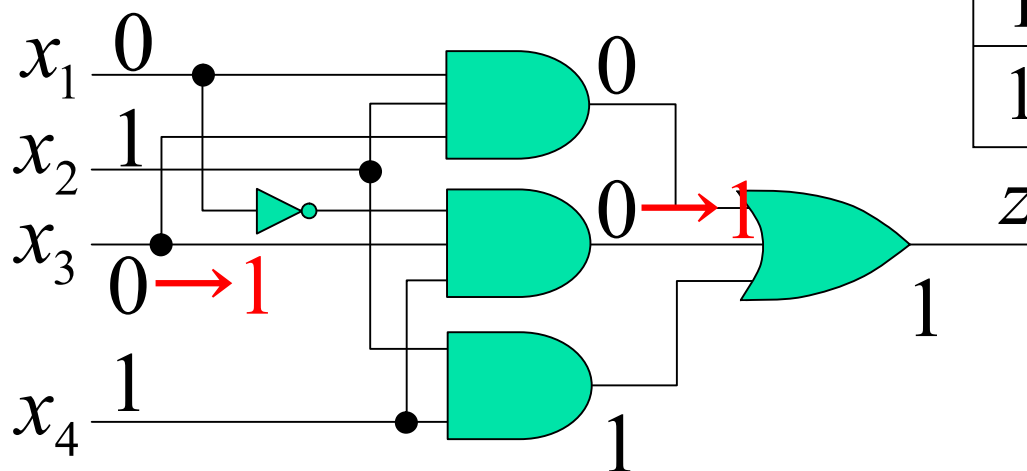


1ハザード
存在

論理ハザード

全ての主項を含むAND-OR2段回路

$$z = x_1x_2x_3 + \bar{x}_1x_3x_4 + x_2x_4$$



x_1x_2 x_3x_4	00	01	11	10
00				
01		1	1	
11	1	1	1	
10			1	

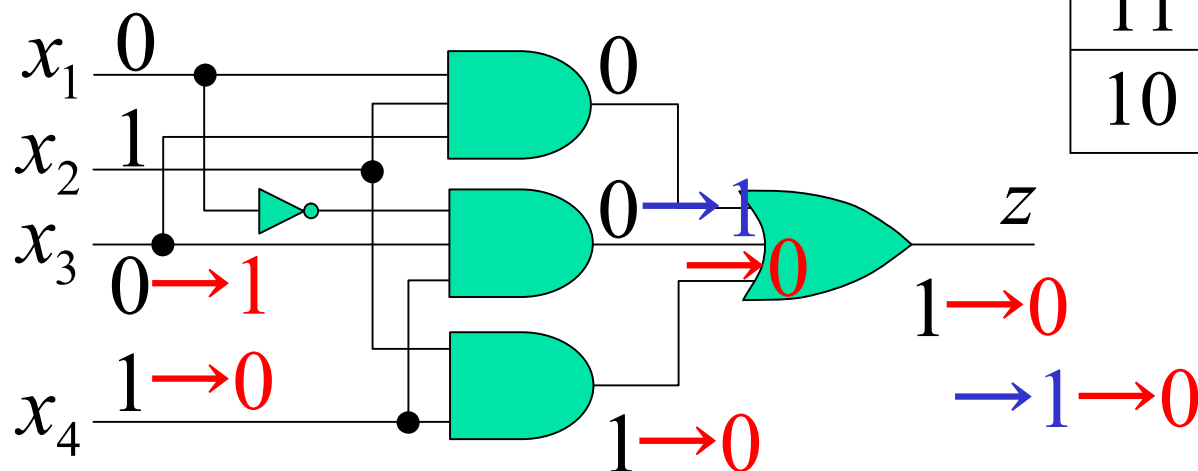
静的論理
ハザード無

論理ハザード

全ての主項を含むAND-OR2段回路

z

多入力変化



x_1x_2 x_3x_4	00	01	11	10
00				
01		1	1	
11	1	1	1	
10			1	

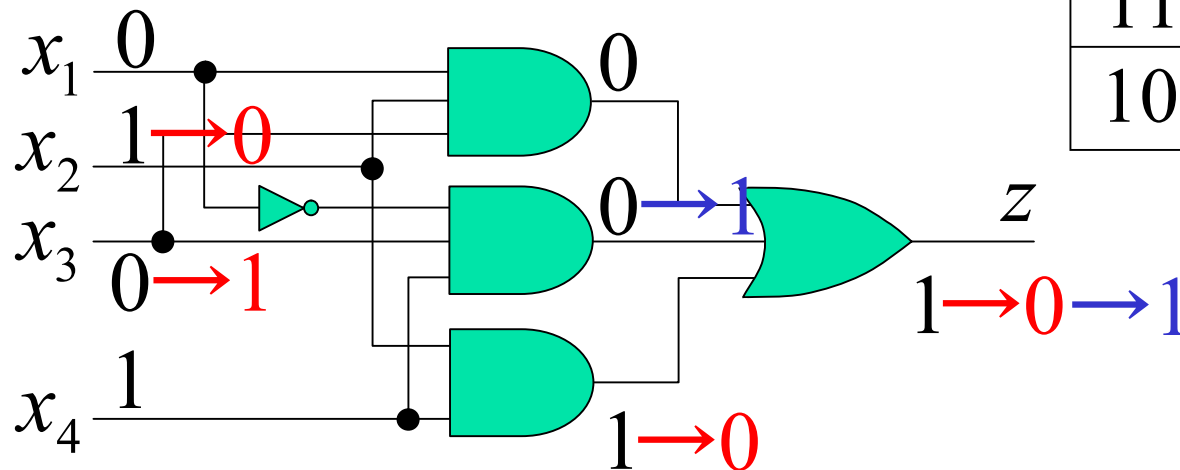
動的論理
ハザード有

関数ハザード

全ての主項を含むAND-OR2段回路

z

多入力変化



x_1x_2 x_3x_4	00	01	11	10
00				
01		1	1	
11	1	1	1	
10			1	

関数
ハザード有



ハザード

- 全ての主項を含むAND-OR
2段回路
 - 単一入力変化
 - ハザード無し
 - 多入力変化
 - 動的ハザードの可能性
 - 関数ハザード有り

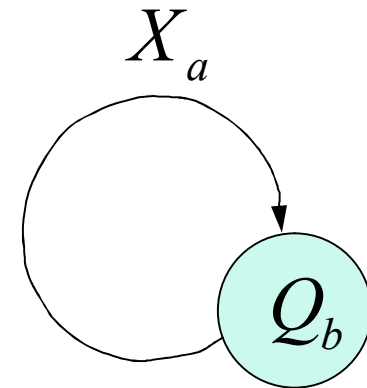
論理回路の誤動作

- 過渡的な不正パルス
 - 組合せ回路
 - 誤動作？
 - 同期式順序回路
 - 同時クロックパルス ⇒ 誤状態遷移
 - 非同同期式順序回路
 - 誤動作

安定状態

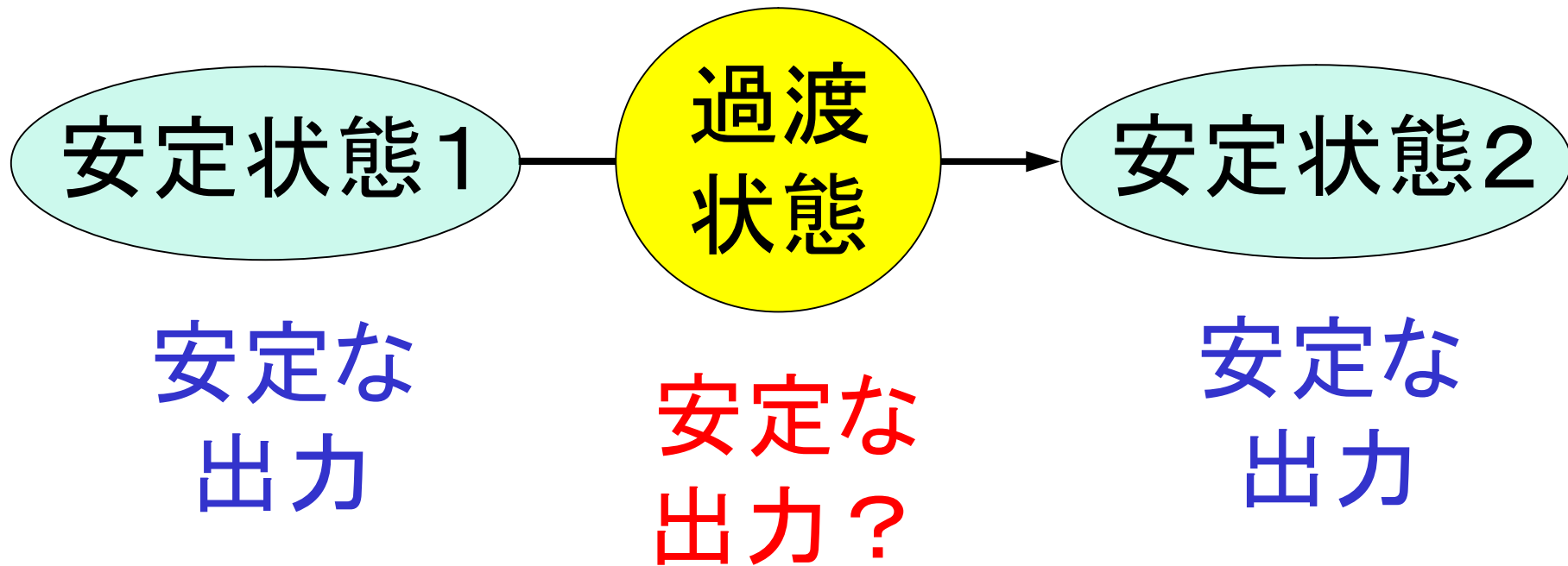
$$\delta(X_a, Q_b) = Q_b$$

Q_b : 入力 X_a の下での
安定状態



状態遷移表 ⇒ ○で囲む

過渡状態

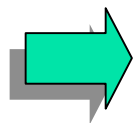


順序回路の誤動作防止

■ 非同期式順序回路

＜方針＞

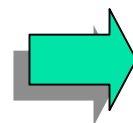
入力変化の起点



安定状態

基本
モード

単一入力変化



状態遷移先の確定