

演算機能回路

第1週

2006/10/02

泉知論

立命館大学 理工学部 電子情報デザイン学科

概要

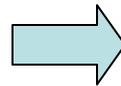
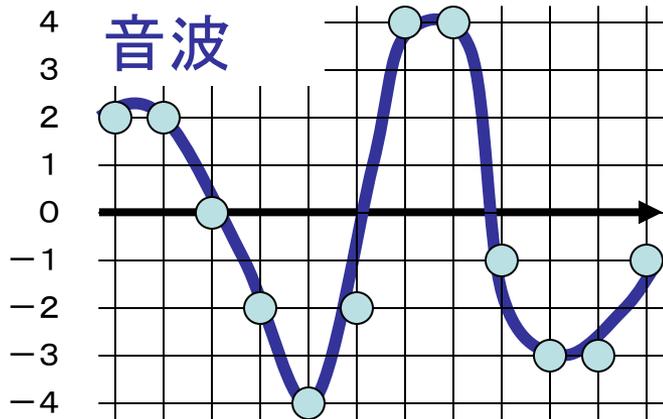
対象とする情報処理システム

- 情報処理＝情報を加工したり、保存したり、送受信したりするものやその体系。
- ここでは特にデジタルシステムを対象とする。
- 身近な具体例
 - － パソコン、携帯電話、MDプレーヤ、デジカメ、デジタルテレビ、DVD、FAX、電子辞書、電話回線、商品のバーコード、コンビニのレジ、銀行のATM、駅の自動改札、切符の予約システム、郵便番号、カーナビ、高速道路の監視カメラ、...

デジタルシステムにおける情報

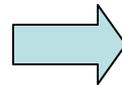
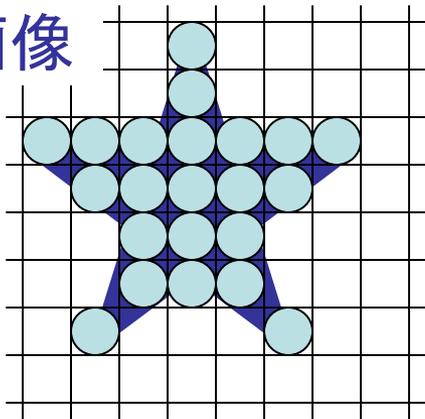
- デジタルシステムでは全て**数値化**される
 - 文字に数値を割り当てる
 - 例：“A”が65, “B”が66, ...
 - 音声、画像なども数値化
 - 例：次のページ
 - いろいろなモノに数値を割り当てる
 - 例：学籍番号、商品のバーコード、...
 - それら进行处理するためのデータ
 - 機器を制御するためのデータ

音声や画像の数値化



2,2,0,-2,-4,-2,4,4,-1,-3,-3,-1,...

画像



00010000

11111110

01111100

00111000

00111000

01000100

00000000

※細かくしてい
けば綺麗な音、
綺麗な絵になる

演習1A

- CD では音声を 16-bit, 44.1kHz, 2ch の PCM として格納している。1秒あたりのデータ量 (ビット数) を求めよ。
- 現在の日本のテレビ放送では横720画素 × 縦525画素相当の画像を、1秒あたり29.5回、画面半分 (つまり1秒あたり14.75画面) で送っている。1画素をRGB各 8bit で表したとして、1秒あたりのデータ量 (ビット数) を求めよ。

演習1B

- i-Pod など最近のデジタル携帯音楽プレーヤでは MP3 というデジタル音声圧縮伸張標準規格で音声 が記録されており、56~128Kbps 程度のデータと なっている。これは CD のデータ量の何%程度か。
- FOMA のテレビ電話では、MPEG-4 というデジタル 動画像圧縮伸張標準規格で動画像を送っており、 384Kbps 程度のデータとなっている。これは演習1 Aの画像データ量の何%程度か。テレビ電話の画 像は128×96であることを考慮に入れて議論せよ。

情報処理システムの設計

- こんな複雑なシステムをどのように実現するのか？
- 要考慮
 - 規格
 - 要求性能
 - 制約条件
 - 開発期間

構成、設計、設計技術

速く・軽く・小さく・薄く・省エネ・便利・高性能・高機能・多機能なシステムを作るために...

- 構成(architecture)
 - どんな部品をどう組み合わせるか？
- 設計(design)
 - 製造のための計画を立てること
- 設計技術(design methodology)
 - 早く、効率よく、より良い設計をするための技術

システムの構成

- さまざまな技術の複合体
 - パッケージ, 画面, キー, スピーカ, マイク
 - バッテリ
 - アンテナ、RF、AD/DA
 - デジタル処理部分
 - CPU
 - memory
 - ASIC
 - 2次記憶(ハードディスク、メモリカード、など)

設計のトレードオフ

- 処理速度
- 回路規模
- 消費エネルギー
- 精度
- 機能
- それらのバランス

設計による回路モジュール性能の違い

- 回路規模
 - 論理ゲート数／演算器数
 - FF(Register)数
 - メモリ量
- 処理速度
 - 最大遅延
 - レイテンシ
 - スループット
- 消費エネルギー、精度、機能、...

● 同一機能でもさまざまな構成の回路モジュールが設計でき、それぞれ性能、特徴が異なる。
● より良いモジュール、“使える”モジュールを設計しなければならない！

復習

論理回路、順序回路

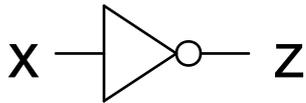
論理関数

- 論理代数
 - 値として $\{0,1\}$ のみを扱う代数学
- 論理関数
 - $f: \{0,1\}^n \rightarrow \{0,1\}^m$
 - 否定(NOT) \bar{x} (Verilog HDL では $\sim x$)
 - 論理積(AND) xy (Verilog HDL では $x\&y$)
 - 論理和(OR) $x + y$ (Verilog HDL では $x|y$)
 - 排他的論理和(XOR) $x \oplus y$ (Verilog HDL では $x^{\wedge}y$)
 - ほか (NAND, NOR)

論理演算とゲート

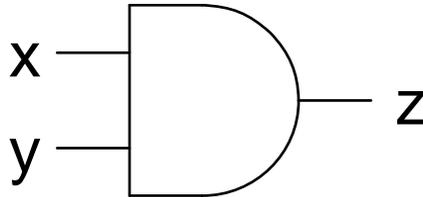
NOT

$$z = x$$



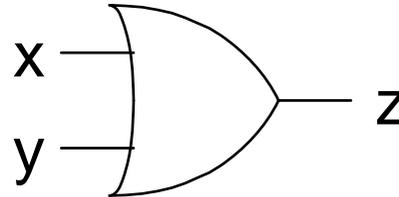
AND

$$z = x \& y$$



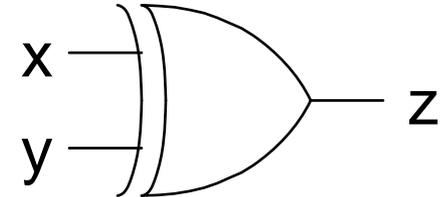
OR

$$z = x | y$$



XOR

$$z = x \wedge y$$



x	z
0	1
1	0

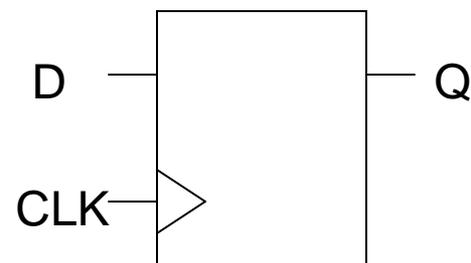
x	y	z
0	0	0
0	1	0
1	0	0
1	1	1

x	y	z
0	0	0
0	1	1
1	0	1
1	1	1

x	y	z
0	0	0
0	1	1
1	0	1
1	1	0

記憶素子

- FF (Flip Flop), Register
- クロックの立ち上がり(あるいは立ち下がり)で入力値を取り込み、値を保持する。



演習1C

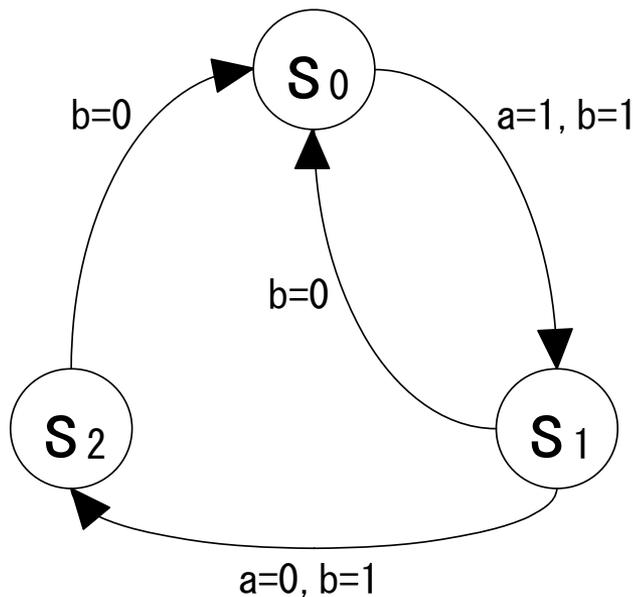
- 次のカルノー図に示される論理関数 f を回路で実現せよ。ただし、カルノー図中の“*”はドントケアを表す。

f		ab			
		00	01	11	10
cd	00	0	0	1	0
	01	0	*	1	*
	11	0	1	*	0
	10	0	0	0	0

演習1D

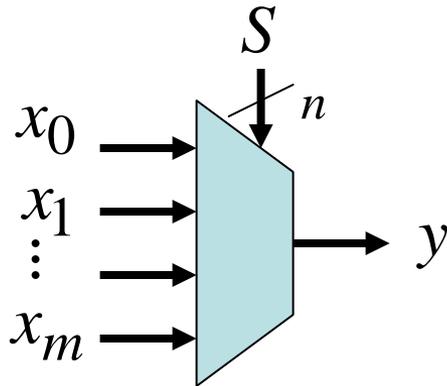
- 左図の状態遷移図を順序回路で実現せよ。状態割当ては左表のとおりとせよ。

状態遷移図



	d1	d0
s0	0	0
s1	0	1
s2	1	1

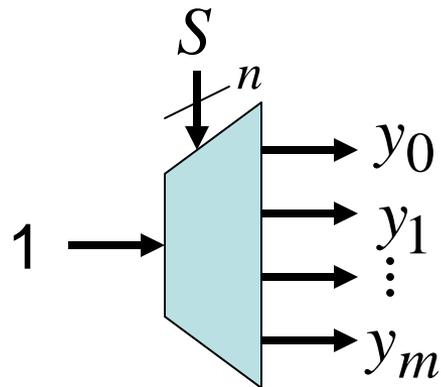
マルチプレクサ、デコーダ



マルチプレクサ (multiplexer, MUX)

セレクタ (selector, SEL)とも呼ばれる

選択信号 S により、入力 x_i のうちのどれかひとつを y に出力



デコーダ (decoder)

選択信号 S により、 y_i のうちどれかひとつに1を出力

(回路はモデル図、実際は1は縮退する)

演習1E

- 4入力マルチプレクサを AND, OR, NOT からなる論理回路として設計せよ。
- 4出力デコーダを AND, OR, NOT からなる論理回路として設計せよ。