

演算機能回路

第5週

2006/10/30

泉知論

立命館大学 理工学部 電子情報デザイン学科

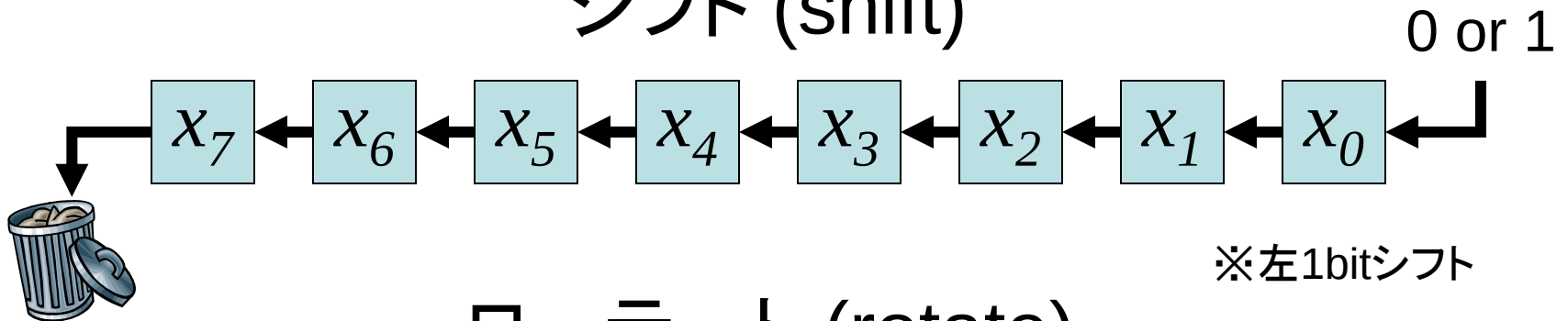
シフタ、ローテータ

shifter, rotator

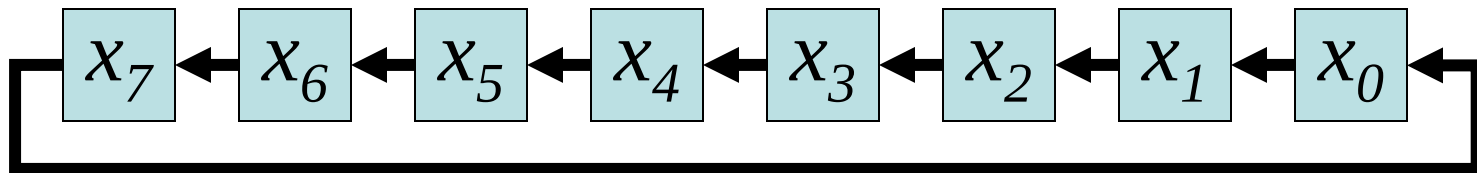
シフト、ローテート

- ビット列を右あるいは左方向に移動させる操作

シフト (shift)



ローテート (rotate)



シフトのバリエーション

- 右あるいは左に K ビットシフト
- 溢れたビットは捨て、空いたビットに...

- ロータート

- 溢れたビットを入れる

- 論理シフト

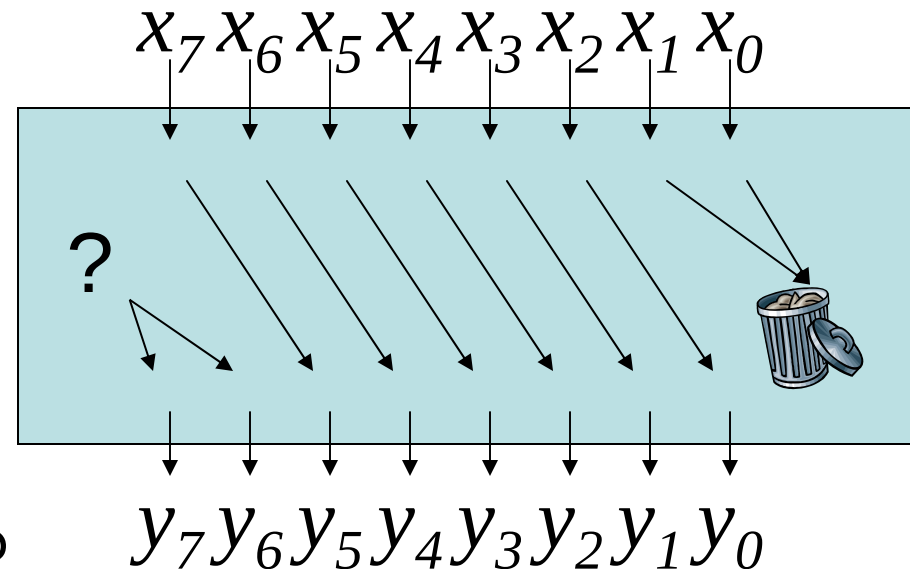
- 0 (or 1) を入れる

- 算術シフト

- 左シフトでは 0 を入れる
 - 右シフトでは最上位ビットを入れる

※数値として考えた場合、右 $\div 2^K$ 、左 $\times 2^K$

※左シフトで桁溢れ信号を出す場合もある



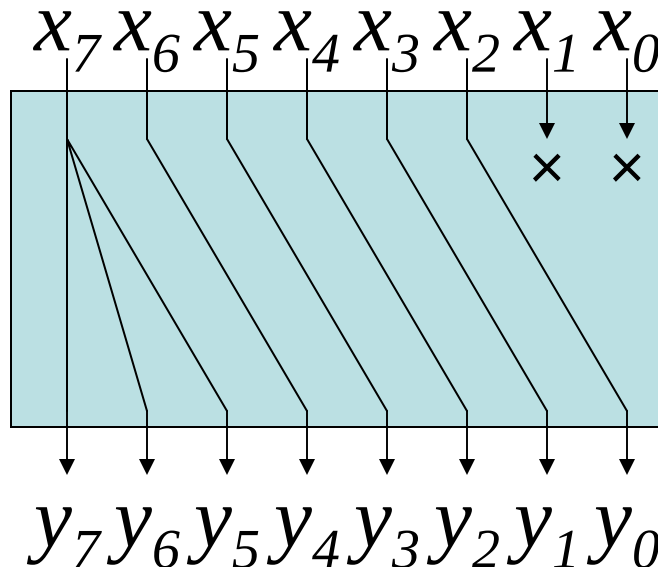
演習5A

- 8bit のビット列 11110101 について
 1. 左3ビットローテートせよ。
 2. 右2ビットローテートせよ。
 3. 左3ビット論理シフトせよ。(zero padding)
 4. 右2ビット論理シフトせよ。(zero padding)
 5. 符号付整数として解釈すると値はいくらか。
 6. 左3ビット算術シフトせよ。そのときの値はいくらか。
 7. 右2ビット算術シフトせよ。そのときの値はいくらか。

固定シフタ

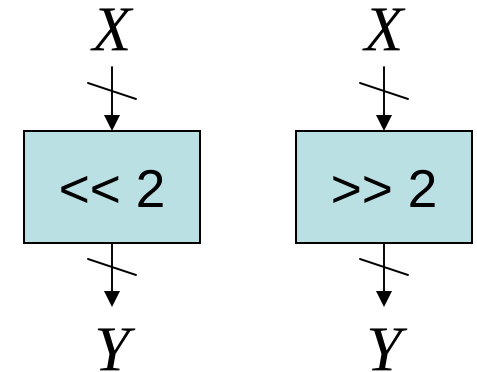
- シフト方向、シフト量が固定
- シフタの回路＝単なる結線

右2ビット算術シフト回路の例

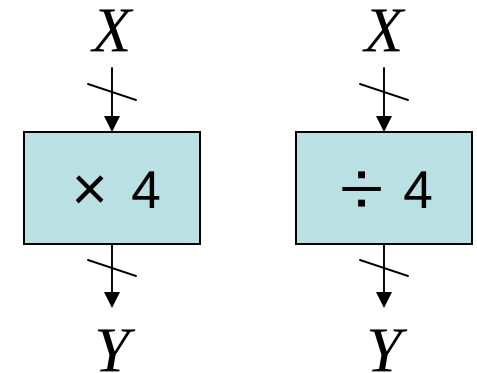


表記例

左2ビット論理シフト 左2ビット論理シフト



左2ビット算術シフト 左2ビット算術シフト

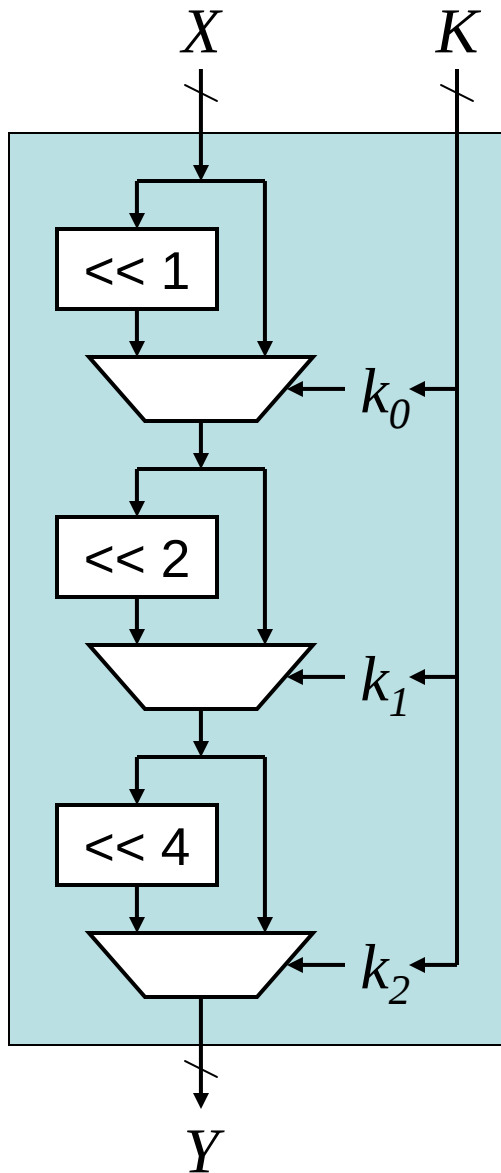


演習5B

- 4bit のビット列に対する次の1ビット固定シフタを設計せよ。
 1. 左ローテータ
 2. 左論理シフタ
 3. 左算術シフタ
 4. 右ローテータ
 5. 右論理シフタ
 6. 右算術シフタ

演習5C

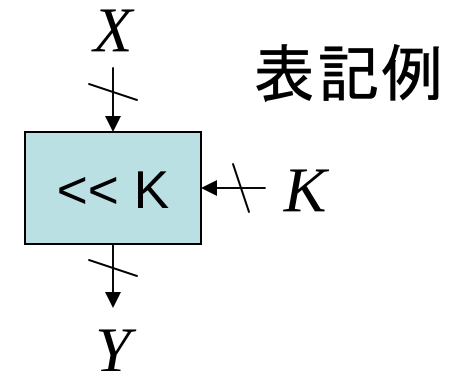
- 4bit のビット列に対する1ビット右シフトを設計せよ。ただし、2bit の入力 M により、シフトの方向と種類を選択可能とすること。 M の値によるシフトの種類は次のとおりとする。
 1. $m_1m_0=00$... 論理シフト (0 padding)
 2. $m_1m_0=01$... 論理シフト (1 padding)
 3. $m_1m_0=10$... 算術シフト
 4. $m_1m_0=11$... ローテート



バレルシフタ

- 入力ビット列 X 、シフト量 K
- 2^i ビットシフトの多段接続

k ビットバレルシフタ
($k=0\sim 7$) の例



- バレルシフタのバリエーション
 - 右、左、双方向
 - ロータート、論理シフト、算術シフト

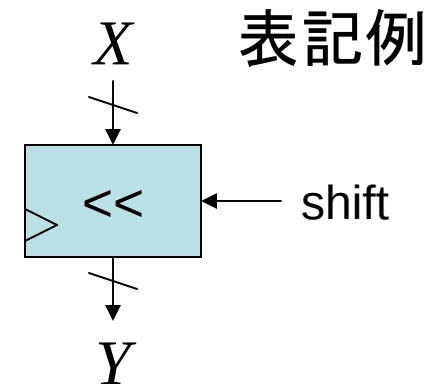
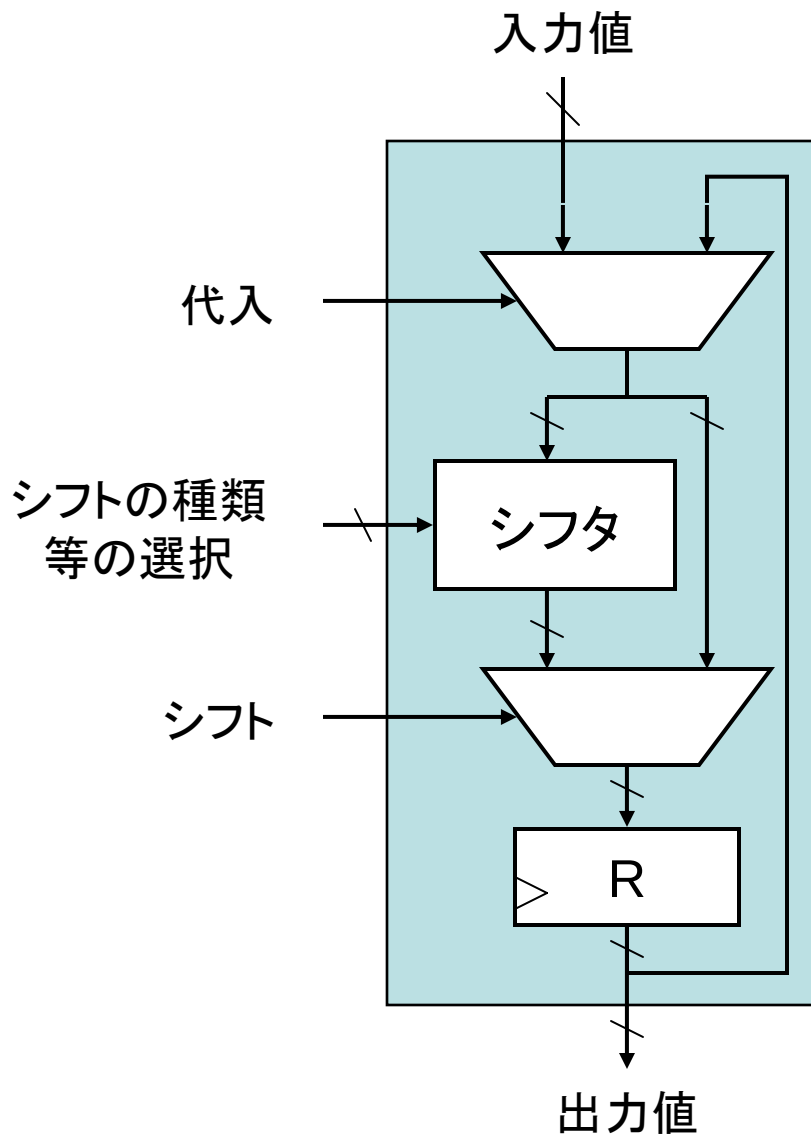
演習5D

- 4bit のビット列に対する K ビットバレルシフタを設計せよ。 K は 2bit で $0 \leq K \leq 3$ 、シフトの種類はローテートとする。
- 4bit のビット列に対する K ビットバレルシフタを設計せよ。 K は 3bit で $-3 \leq K \leq +3$ 、シフトの種類は算術シフトとする。

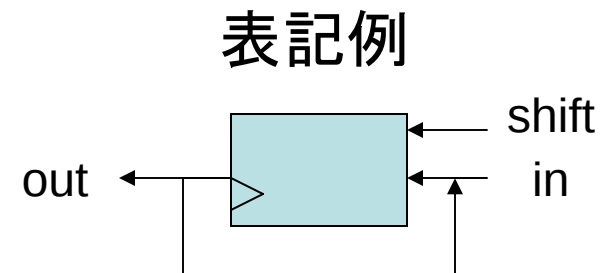
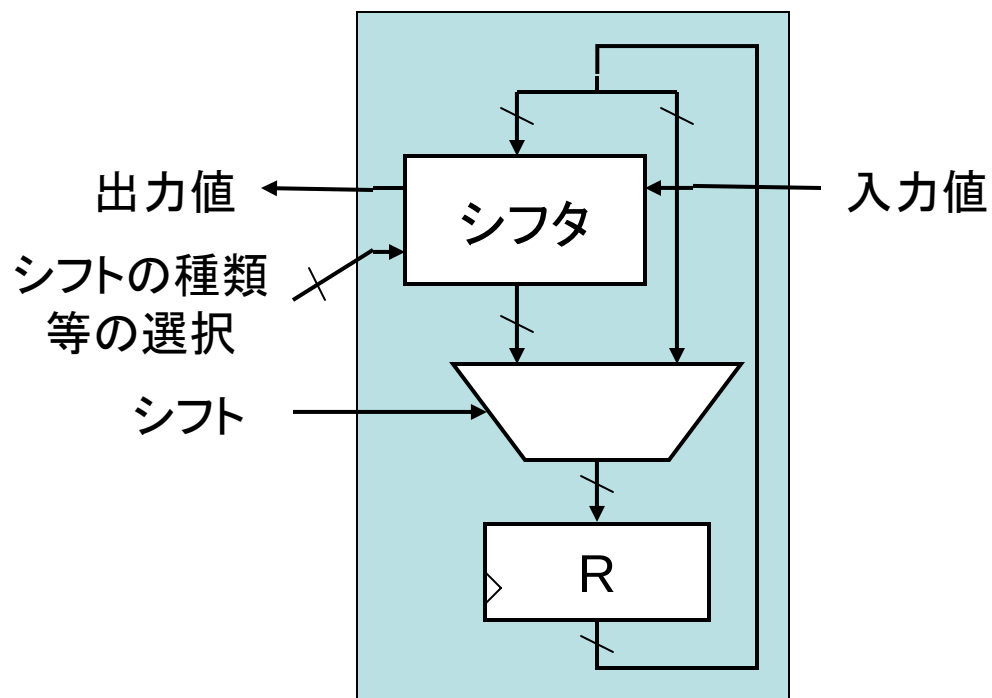
シフトレジスタ

- シフト回路を装備したレジスタ
- 制御入力により
 - 現在の値を保持
 - シフト動作
- を選択
- 通常、1クロックサイクルに1ビットシフト
- 目的に応じて値の入出力方法を決める
 - ワード単位
 - ビット単位
 - シフトで空いたビットを入力
 - シフトで溢れたビットを出力
- 目的に応じてシフト回路の種類を決める

シフトレジスタ (ワード単位入出力)



シフトレジスタ (ビット単位入出力)



パラレル／シリアル変換回路

- シフトレジスタの応用回路
- パラレル／シリアル変換回路
 - n bit のワード値を入力し、 n クロックで 1 bit ずつ出力する
- シリアル／パラレル変換回路
 - n クロックで 1bit ずつ入力し、 n bit のワード値を出力する
- 通信系の回路などに用いられる

演習5E

- 右1ビットローテートの 4bitシフトレジスタを設計せよ。
- 4クロック毎に 4bit の値を入力し、毎クロック上位ビットから1ビットずつ出力するパラレル／シリアル変換回路を設計せよ。
- 毎クロック上位から1ビットずつ入力し、4クロック毎に 4bit の値を出力するシリアル／パラレル変換回路を設計せよ。