

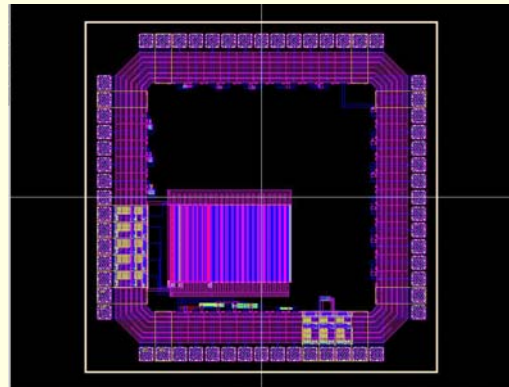
集積デバイス工学(2)

LSIの製造プロセス

VLSIセンター 藤野 毅

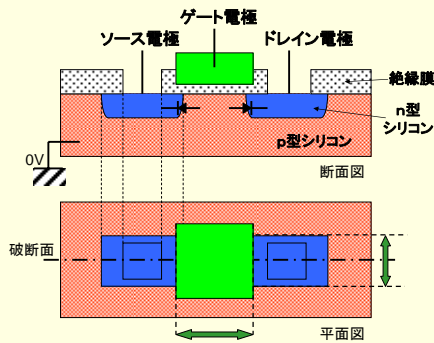
1

チップレイアウトパターン(全体例)



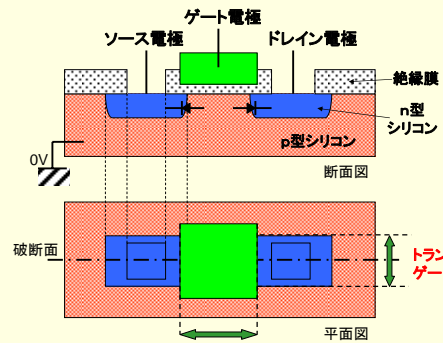
2

MOSTランジスタの基本構造



3

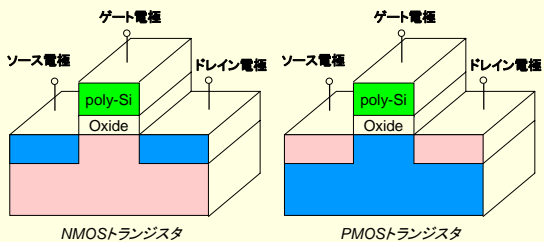
MOSTランジスタの基本構造



4

MOSTランジスタ(Tr)の構造

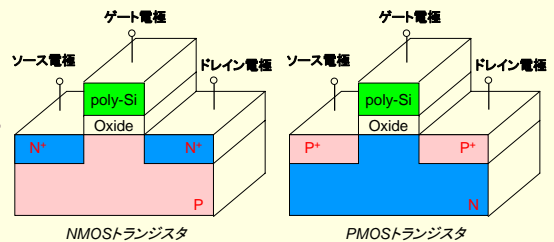
- NMOSTランジスタ: 電流を輸送するキャリアが[]
- PMOSTランジスタ: 電流を輸送するキャリアが[]
 - N⁺, P⁺とは高濃度に不純物が導入されたN, P型半導体
 - 入力Hi(V_{dd})のときONするスイッチ: []
 - 入力Lo(0V)のときONするスイッチ: []



5

MOSTランジスタ(Tr)の構造

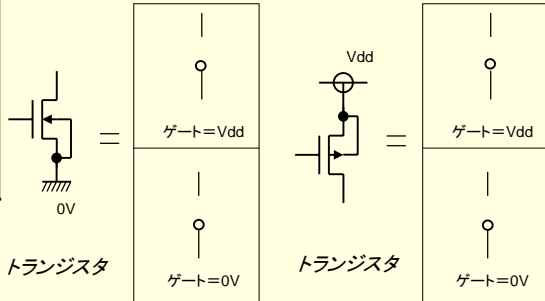
- NMOSTランジスタ: 電流を輸送するキャリアが**電子**
- PMOSTランジスタ: 電流を輸送するキャリアが**正孔(ホール)**
 - N⁺, P⁺とは高濃度に不純物が導入されたN, P型半導体
 - 入力Hi(V_{dd})のときONするスイッチ: **NMOS**
 - 入力Lo(0V)のときONするスイッチ: **PMOS**



6

P型, N型トランジスタのデジタル的理解

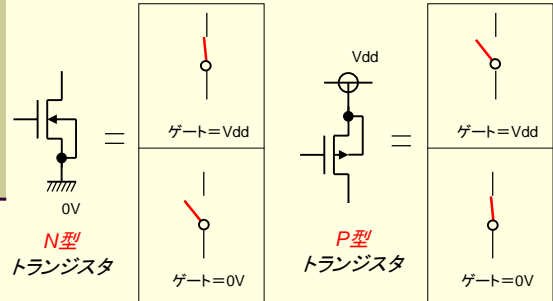
- 反対の動作をするスイッチと考えることができる



7

P型, N型トランジスタのデジタル的理解

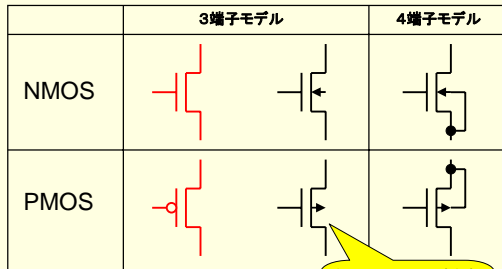
- 反対の動作をするスイッチと考えることができる



8

NMOSおよびPMOSトランジスタ記号

- 通常のデジタル論理では3端子モデルを使うことが多いが、アナログ回路では基板端子を含む4端子モデルを使うことが多い



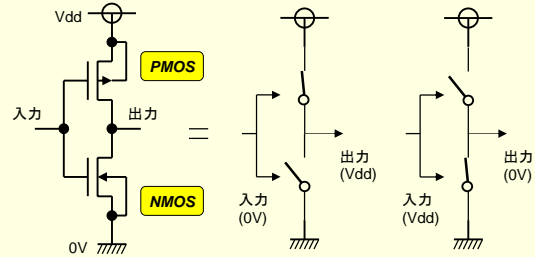
矢印はPからN, すなわち順方向電流をあらわしていると感じる!

9

CMOSインバータのデジタル理解

- 入力電圧により, NMOS, PMOS トランジスタのいずれかが相補的 (Complimentary) にONしている ⇒ CMOS回路

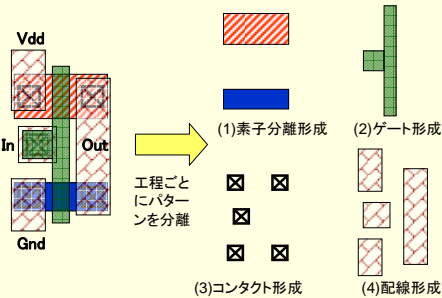
A	F=A
0	1
1	0



10

インバータのレイアウトパターンと工程(概念図)

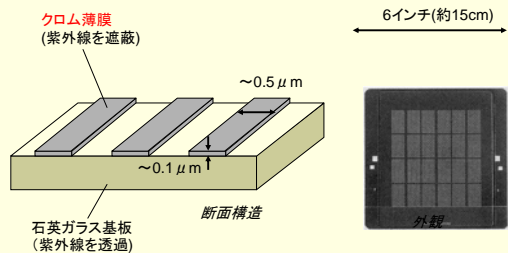
- トランジスタや配線の配置図: レイアウト
- レイアウトは製造工程別に分離されフォトマスクが製造される



11

フォトマスクの構造

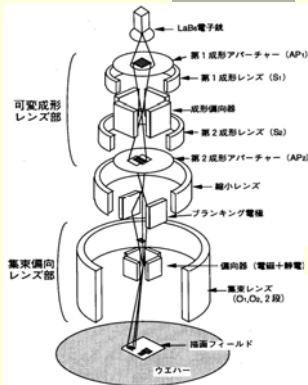
- 工程ごとに分離したパターンを使って, 下記のような構造のフォトマスクを形成する



12

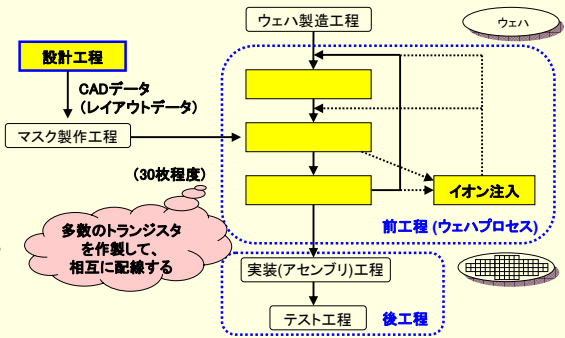
マスク製作工程(2)

- パターンを形成するために右のような電子ビーム描画装置を使用する。



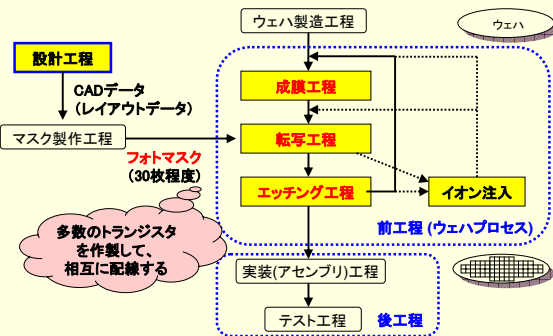
13 電子ビーム描画装置内部構造

LSIの製造工程



14

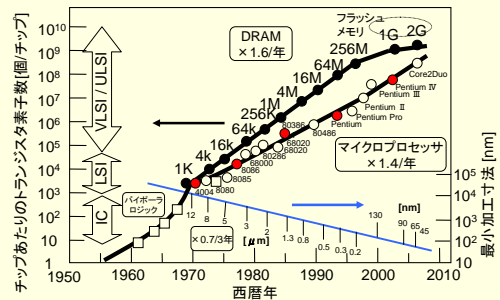
LSIの製造工程



15

微細化の進展

- 微細加工寸法: 65nm
- トランジスタ数: 数億個(マイクロプロセッサ) 数十億個(メモリ)



16

欠陥起因の歩留まり

- 微細化: 高性能化, 低消費電力化 + 歩留まり向上 $Y = \exp(-DA)$
- D : 欠陥密度[個/cm²], A : チップ面積[cm²]
- チップを2倍製造するためにウエハを2倍にしたとき, チップを1/2にしたとき $Y = \exp(-0.4) = 0.67$

	D	A	DA	チップ/ウエハ	歩留り	良品数
基準	0.4	1	0.4	32	67%	
ウエハを2倍	0.4	1	0.4		67%	
チップを1/2	0.4					

17

$$Y = \exp(-0.2) = 0.82$$

欠陥起因の歩留まり

- 微細化: 高性能化, 低消費電力化 + 歩留まり向上 $Y = \exp(-DA)$
- D : 欠陥密度[個/cm²], A : チップ面積[cm²]
- チップを2倍製造するためにウエハを2倍にしたとき, チップを1/2にしたとき $Y = \exp(-0.4) = 0.67$

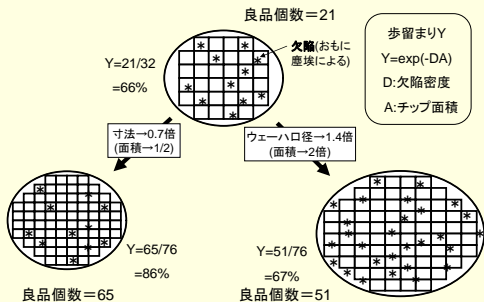
	D	A	DA	チップ/ウエハ	歩留り	良品数
基準	0.4	1	0.4	32	67%	21個
ウエハを2倍	0.4	1	0.4	76	67%	51個
チップを1/2	0.4	0.5	0.2	76	82%	62個

18

$$Y = \exp(-0.2) = 0.82$$

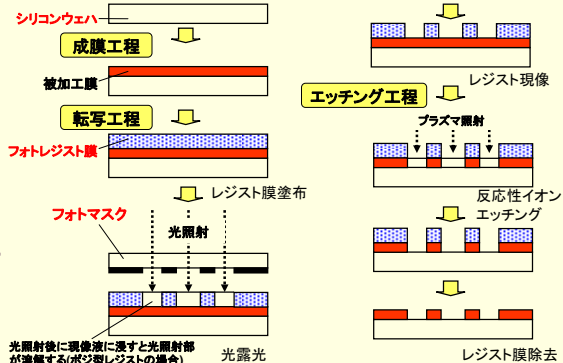
歩留まり計算

- 微細化は、チップ数、歩留まりが両方改善する
⇒チップ価格を下げるができる



19

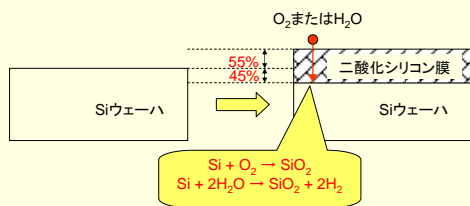
パターンの成膜・転写・エッチング



20

成膜工程1(酸化)

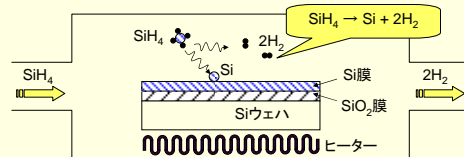
- **ドライ酸化**: 酸化種が O_2
- **ウエット酸化**: 酸化種が H_2O
- 酸化種(O_2 または H_2O)が表面に吸着し SiO_2 中を拡散
- Si と SiO_2 の界面で Si と酸化種の反応が進行し SiO_2 を形成



21

成膜工程2(CVD法)

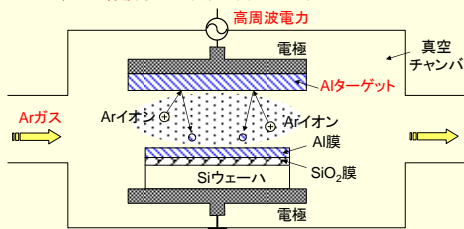
- CVD(Chemical Vapor Deposition)法とは**熱エネルギー**等で、ウェーハ上で化学反応を発生し薄膜を形成する方法
- 反応ガスを、ヒーターにより加熱されたウェーハ上を導入
- 下記は、 Si ウェーハ上に形成したシリコン酸化膜上にポリシリコン膜を形成する場合の例
- SiH_4 は**シラン**と呼ばれる、非常に活性な気体であり、シリコン酸化膜上で H_2 を脱離して、ポリシリコン膜が堆積される
- **ポリシリコン**以外にも、使用するガス種を変更することにより、 SiO_2 、 SiN 、 TiN 、 W など様々な薄膜の形成が可能



22

成膜工程3(スパッタリング法)

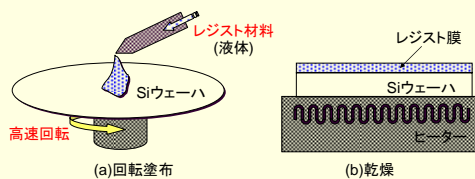
- ウエーハをはさんだ2枚の電極間に Ar ガスを導入し、**高周波電力**で**プラズマ**を発生する
- プラズマ中の Ar イオンが形成したい成膜材料(ターゲット)を取り付けた電極にエネルギーを持ってぶつかり、ターゲット中の成膜材料をたたき出す。**(スパッタリング)**
- たたき出された成膜材料は Si ウェーハ上に堆積される
- 主として、**Al配線膜**などの形成に用いられる



23

転写工程1(レジスト塗布)

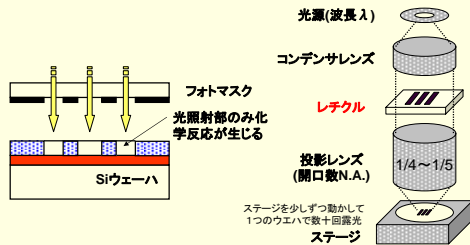
- Si ウェーハを回転可能な治具に真空チャックする。
- レジスト溶液を滴下する。
- 高速回転(2000~5000回転/分)し均一な膜を得る。
- 基板温度を上げたプレート(ホットプレート)上で $80^\circ C \sim 120^\circ C$ に加熱しレジスト溶媒を蒸発させ乾燥させる。



24

転写工程2(光露光)

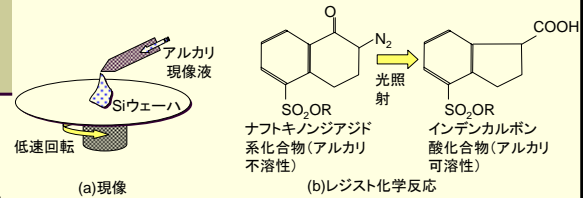
- フォトマスク(レチクル)上のパターンは1/4~1/5に縮小されてSiウエーハ上に転写される。
- 光で転写できる解像度は次式のように示される。
解像度 $\propto \lambda / N.A.$
(λ は光源の波長, N.A.は投影レンズの開口数)



25

転写工程3(レジストの化学反応と現像)

- **ポジ型レジスト**: 光を照射した部分が現像液に可溶化
- **ネガ型レジスト**: 光を照射した部分が現像液に不溶化
- (b)の光反応は, g線(436nm)またはi線(365nm)でよく使われている, ポジ型のレジストの例
- 最近使用されているKrF(248nm)/ArF(193nm)エキシマレーザでは違う反応が使用されている。



26