

# 集積デバイス工学(11)

## CMOSレイアウト

VLSIセンター 藤野 毅

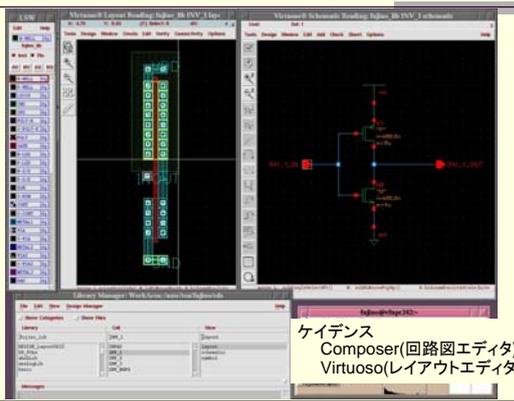
1

# レイアウト設計

- 回路設計
  - スケマティック(回路図)エディタ
  - SPICEシミュレーションでノードの波形観測
- レイアウト設計
  - レイアウトエディタを用いて図形を操作(例) Cadence Virtuoso
  - 図形の種類
    - レクタングル(四角形)
    - ポリゴン(複数の頂点を持つ閉曲線)
    - パス(幅つき線)
  - レイア=製造プロセスの工程に対応している

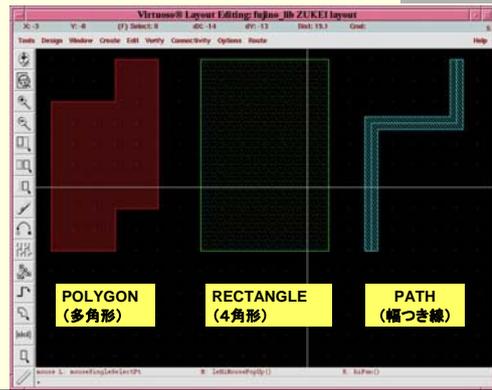
2

# 設計CADツールの画面例



3

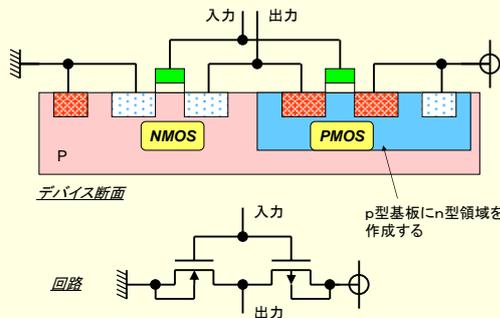
# 図形の種類



4

# インバータ

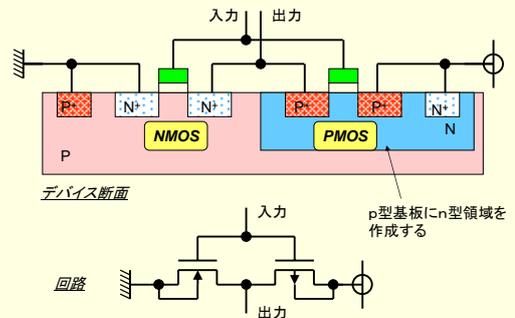
- NMOSとPMOSを接続してインバータを形成



5

# インバータ

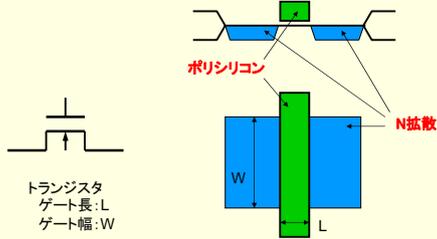
- NMOSとPMOSを接続してインバータを形成



6

### NMOSトランジスタを作成するには

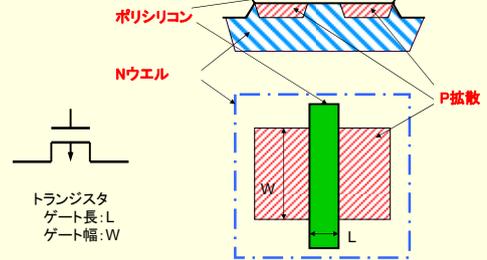
- N拡散レイアとポリシリコンレイアを重ねるとNMOSトランジスタが作成される
- 重なっている部分の大きさがトランジスタゲート長Lとゲート幅Wが決定される。



7

### PMOSトランジスタを作成するには

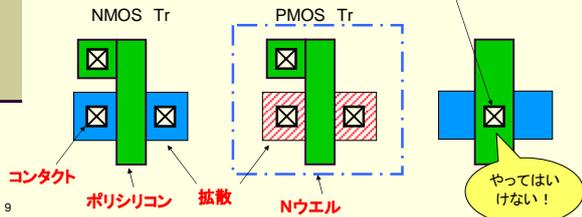
- P拡散レイアとポリシリコンレイアを重ね、かつ全体をNウェルレイアで囲うと、PMOSトランジスタが作成される



8

### 電極の取り出し口を作成する

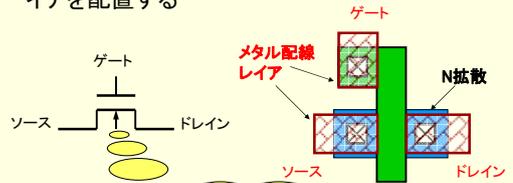
- ポリシリコンレイアまたはソースドレインレイアにコンタクトレイアを重ねる
- 一般に、コンタクトレイアは一種類の大きさの正方形しか使用できない。
- ソースドレインレイアに含まれるポリシリコンレイア上にはコンタクトを作成できない



9

### メタル配線を作成する

- コンタクトレイアをすべて囲うようにメタル配線レイアを配置する

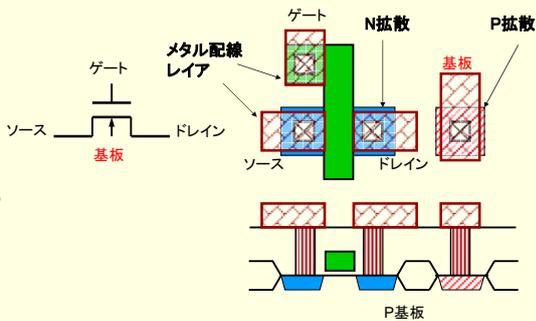


さあNMOSトランジスタができた、言いたいところなのですが、基板の電位は固定されていませんね！さあどうすればよいのでしょうか？

10

### NMOSトランジスタの基板電位を固定する

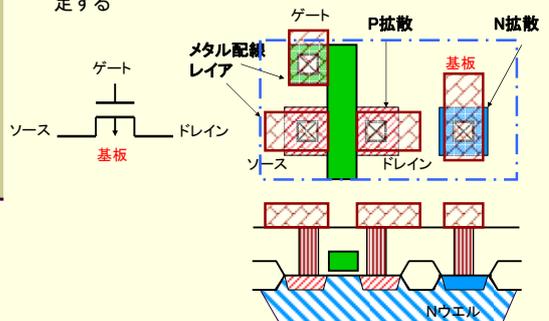
- P基板に電位を与えるには、P基板上にP拡散レイアを作成しコンタクトとメタル配線レイアを介して電位を固定する



11

### PMOSトランジスタの基板電位を固定する

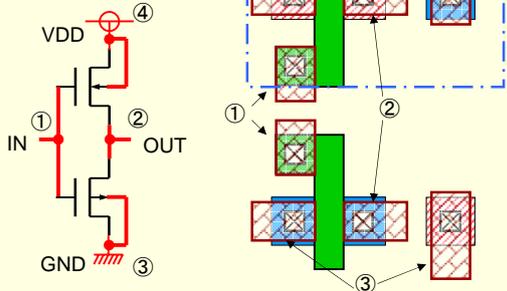
- Nウェルに電位を与えるには、Nウェル内にN拡散レイアを作成しコンタクトとメタル配線レイアを介して電位を固定する



12

### インバータの作成例(1)

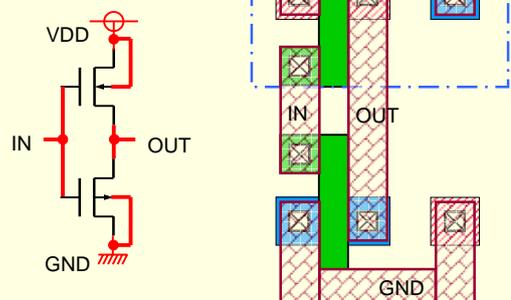
- 前述のNMOSとPMOSTランジスタを組み合わせてインバータを作成する



13

### インバータの作成例(2)

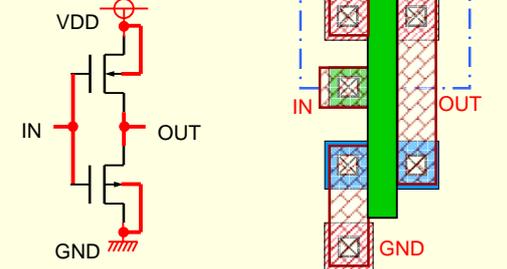
- 前述のNMOSとPMOSTランジスタを配線してインバータを作成する



14

### インバータの作成例(3)

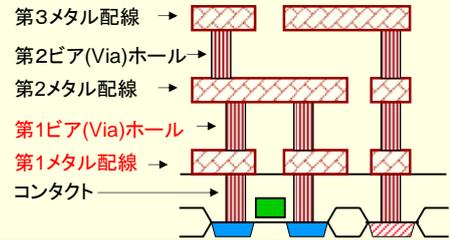
- インバータサイズの縮小
  - NMOSとPMOSTランジスタの接続はポリシリコンで
  - 基板電位固定位置を変更



15

### 上層メタル配線

- 前述の単純なインバータ回路であれば1層のメタル配線で形成できる
- より複雑な回路を作成するためには多層のメタル配線とメタル配線間を接続する接続孔(ビアホール)が必要
- それぞれ下層から第1メタル配線, 第1ビアホール, 第2メタル配線, 第2ビアホール, 第3メタル配線...と呼ぶ.



16

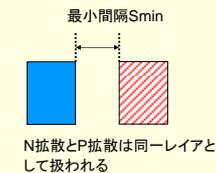
### デザインルールとCAD検証

- 図形を描くときに守らなければならないルールを**デザインルール**と呼ぶ
- 半導体製造メーカー、製造方式(微細化の程度)により、デザインルールは異なる
- デザインルールは**デザインマニュアル**と呼ばれる規約集に説明書きがある、通常はこれ以上小さくしてはいけない値が記載される。
- デザインルールの検証には**DRC** (Design Rule Checker)を使用
- 回路図をレイアウトの等価性の検証
  - **LVS** (Layout Versus Schematic)を使用
- Cadence Dracula: 有名なDRC&LVSツール

17

### デザインルール

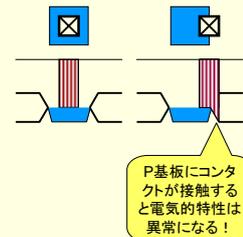
#### ■ 同一レイア内の検証



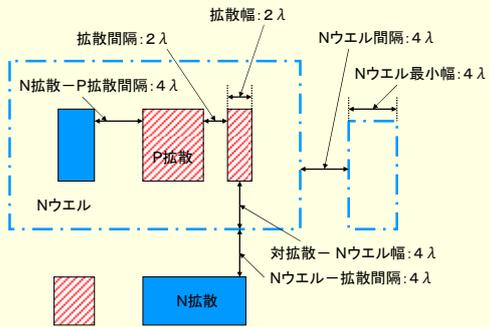
18

#### ■ 異種レイア間の検証

- 異種レイアは、重ねあわせ誤差、加工誤差を吸収するためのマージンが必要

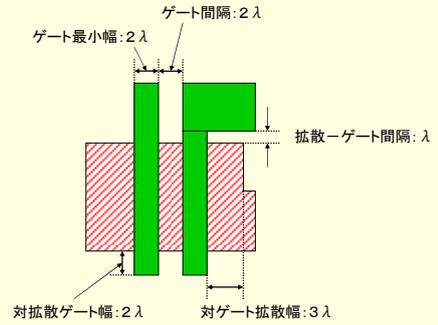


### デザインルール(1) 拡散層とNウェル



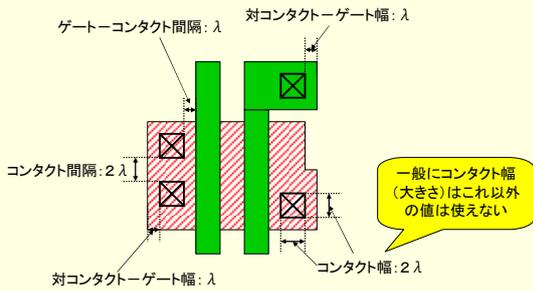
19

### デザインルール(2) ゲート



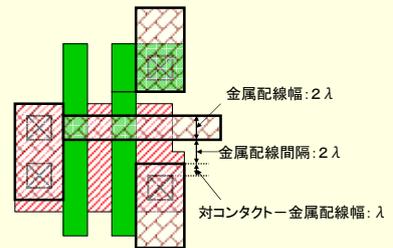
20

### デザインルール(3) コンタクト



21

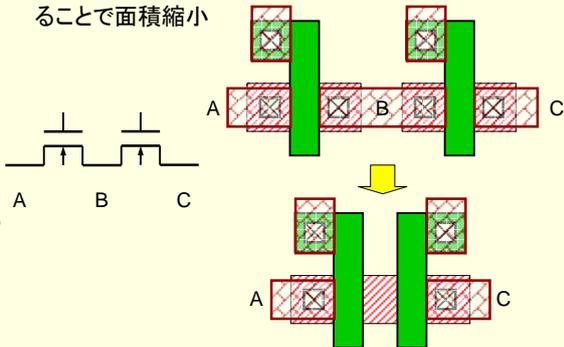
### デザインルール(4) 金属配線



22

### テクニック(1) 直列トランジスタ

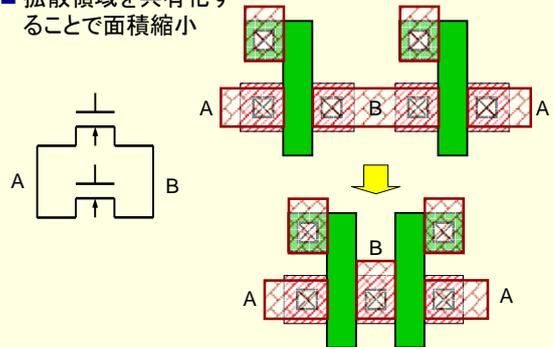
- 拡散領域を共有化することで面積縮小



23

### テクニック(2) 並列トランジスタ

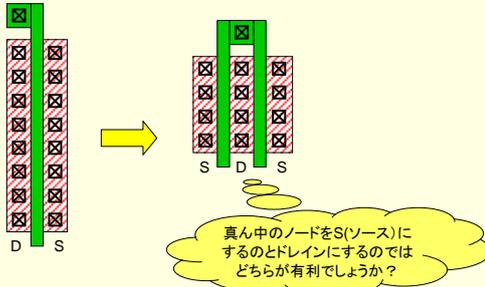
- 拡散領域を共有化することで面積縮小



24

### テクニック(3)大Wトランジスタ

- トランジスタのゲートを2本に分割する.



25

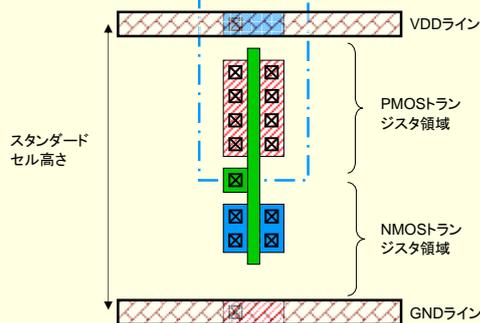
### 複雑な回路の作成

- すべて図形入力していたのでは大変
- 簡単で標準的な回路 (NAND, ラッチ, フリップフロップ) は, **ライブラリ**としてあらかじめ用意しておく, 複雑な回路はそれらを組み合わせることで実現する.
- ライブラリの一つ一つの回路 (セル) は, 組み合わせが容易なように, 高さや幅を共通化しておく, これを**スタンダードセル**と読んでいます.
- ライブラリには, 上記スタンダードセルのほかに, SRAMなどのメモリやI/Oセルなどの**マクロセル**があらかじめ用意されている.

26

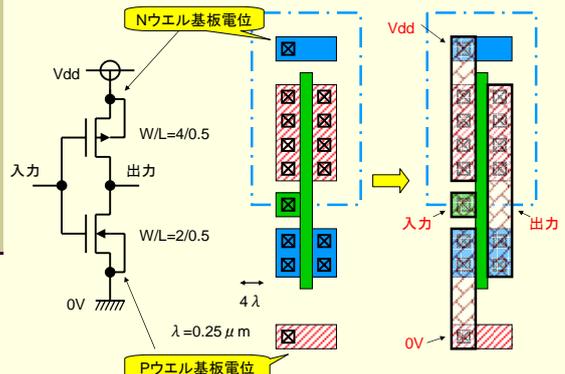
### スタンダードセルの形状

- セルの高さ, Nウェル, VDD電源ライン, GNDラインの大きさと位置を規格化する.



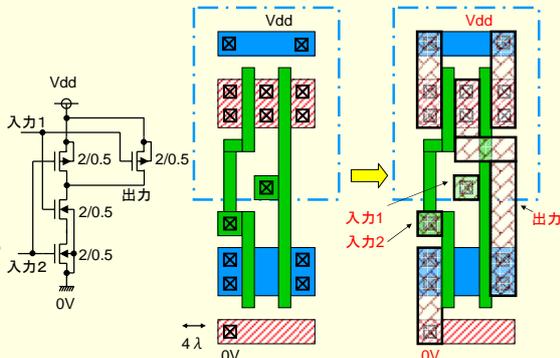
27

### スタンダードセル(1) インバータ



28

### スタンダードセル(2) 2入力NANDゲート



29