

集積デバイス工学(12)

SPICEシミュレーション

VLSIセンター 藤野 毅

SPICEシミュレータ(1)

- 回路シミュレータは、抵抗やキャパシタなどの受動素子、トランジスタなどの能動素子を含む回路の入力信号に対する出力信号や回路ノードにおける、ふるまいをプローブを当ててオシロスコープで見るように、シミュレーションすることができる。
- SPICE (Simulation Program with Integrated Circuit Emphasis) は、1970年代カリフォルニア大学バークレー校で、開発されたもので、ほとんどの回路シミュレータはSPICEをベースにしている。
 - SPICEマニュアル(英語)
<http://bwrc.eecs.berkeley.edu/Classes/lcBook/SPICE/>
 - 日本語の翻訳
<http://ayumi.cava.jp/audio/spiceman/spiceman.html>

SPICEシミュレータ(2)

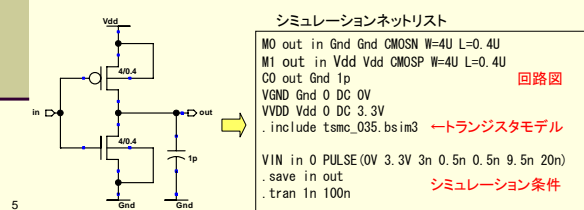
- バークレー版spice(フリー)
 - Spice3f5
<http://www.ibiblio.org/pub/Linux/apps/circuits/>
 - 回路図エディタが無い、波形表示ソフトは有
 - 1昨年のMELPEC集積デバイス工学で実習
<http://www.ritsumei.ac.jp/se/re/fujinolab/SPICEtebiki.html>
- 商用spice (LSI設計用)
 - バークレー版より高速なシミュレータで新しいトランジスタモデルにも対応している。(下記1, 2はVLSIセンターで所有)
 - (1)HSPICE (シンプシス)
 - (2)SPECTRE (ケイデンス)
 - (3)SmartSPICE (シルパコ)
- 教育用
 - Ns-tools (ナノデザイン)
 - 電子情報デザイン実験Ⅱで使用。Windows版で回路図エディタがある。Spiceシミュレータ本体はバークレー版
 - 下記のサイトに期間限定版有
<http://www.nanodesign.co.jp/>

SPICEによる主要な回路解析の種類

- DC解析 (DC analysis)
 - 最も基本的なシミュレーションで、時間が経過した定常状態となったときの回路の各部の電位、電流を求める
 - インダクタはショート、コンデンサはオープンで取り扱われる
 - デジタル回路の論理しきい値などの解析に使用
- 過渡解析 (transient analysis)
 - 時変電源を印加した際の、回路の各部の電位、電流時間的変化を解析する
 - 回路各部の電位、電流の初期値はDC解析でもとめる
 - デジタル回路: パルスの立ち上がり、立下り
 - アナログ回路: ステップ応答、スループレート
- AC小信号解析 (AC small signal analysis)
 - ある周波数の電源を印加してから、時間が十分経過した定常状態における周波数特性(回路各部の振幅や位相)を求める。
 - オペアンプや、フィルタ等のアナログ回路解析

SPICEシミュレーションの流れ

- ネットリストの作成
 - 回路図(回路図エディタによる自動化有)
 - シミュレーション条件
- シミュレーション実行
- 波形表示

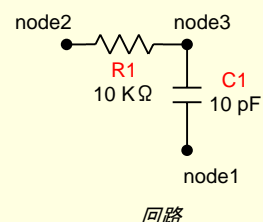


ネットリスト(回路図)の例1

- 抵抗(r), 容量(c)素子
- RXXX (node) (node) (抵抗値[Ω])
 CXXX (node) (node) (容量値[F])

【例】

R1 2 3 10K
 C1 3 1 1P



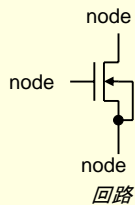
ネットリスト(回路図)の例2

■トランジスタ素子

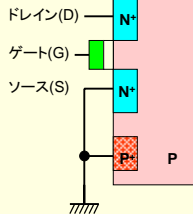
MXXX (ドレインnode) (ゲートnode) (ソースnode) (基板node)
トランジスタモデル名 L=(Tr. 長[m]) W=(Tr. 幅[m])

【例】

M1 3 2 1 1 CMOSN L=0.4U W=6U



7



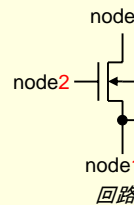
ネットリスト(回路図)の例2

■トランジスタ素子

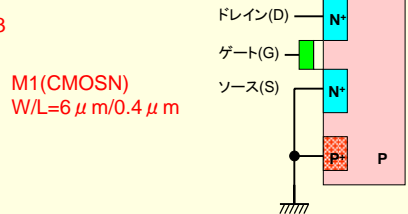
MXXX (ドレインnode) (ゲートnode) (ソースnode) (基板node)
トランジスタモデル名 L=(Tr. 長[m]) W=(Tr. 幅[m])

【例】

M1 3 2 1 1 CMOSN L=0.4U W=6U



8



トランジスタモデルの例

【MOSIS社提供, tsmc 0.35 μmルールトランジスタパラメータ】

```
.MODEL CMOSN NMOS (
+TOX = 7.9E-9      NSUB = 1E17      GAMMA = 3
+PHI = 0.7          VTO = 0.5445549  DELTA = 0
+UO = 436.256147    ETA = 0          THETA = 0.1749684
+KP = 2.055786E-4   VMAX = 8.309444E4 KAPPA = 0.2574081
+RSH = 0.0559398    NFS = 1E12      TPG = 1
+XJ = 3E-7          LD = 3.162278E-11 WD = 7.046724E-8
+CGDO = 2.82E-10    CGSO = 2.82E-10  CGBO = 1E-10
+CJ = 1E-3          PB = 0.9758533   MJ = 0.3448504
+CJSW = 3.777852E-10 MJSW = 0.3508721 )
```

【主要パラメータ】

TOX: ゲート酸化膜厚[m]

VTO: しきい値電圧[V]

CGDO, CGSO: ゲートドレインおよびゲートソースオーバーラップ容量[F/m]

CJ, CJSW: ソース・ドレイン容量の面成分と線成分 [F/m²] および[F/m]

9

固定電源の設定

■定電圧電源

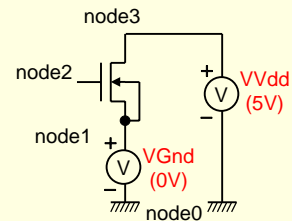
VXXX (正極) (負極) DC (電圧[V])

【例】

M1 3 2 1 1 CMOSN L=0.4U W=6U

VVdd 3 0 DC 5V

VGnd 1 0 DC 0V

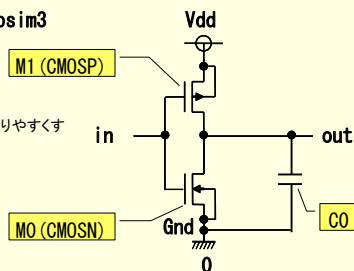


10

負荷容量付インバータ回路ネットリスト

```
MO out [ ] [ ] [ ] CMOSN W=4U L=0.4U
M1 out [ ] [ ] [ ] CMOSP W=4U L=0.4U
CO [ ] [ ] [ ] 1p
VGND Gnd 0 DC 0V
VVDD Vdd 0 DC 3.3V
.include tsmc_035.bsim3
```

ノード名は数字ではなく、わかりやすくするため、英文字列でも良い

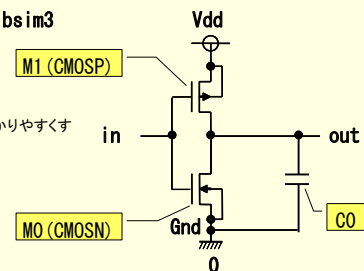


11

負荷容量付インバータ回路ネットリスト

```
MO out in Gnd Gnd CMOSN W=4U L=0.4U
M1 out in Vdd Vdd CMOSP W=4U L=0.4U
CO out Gnd 1p
VGND Gnd 0 DC 0V
VVDD Vdd 0 DC 3.3V
.include tsmc_035.bsim3
```

ノード名は数字ではなく、わかりやすくするため、英文字列でも良い



12

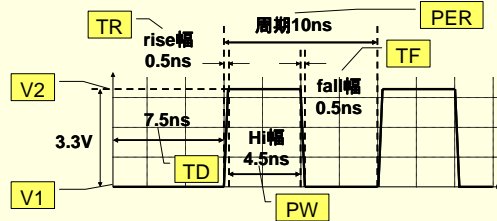
時変電源の設定(1)

■ パルス電圧源

VXXX (正極) (負極) PULSE(V1 V2 TD TR TF PW PER)

【例】

VIN 2 0 PULSE(



13

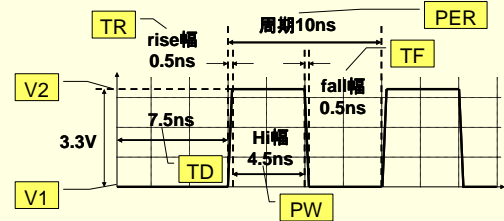
時変電源の設定(1)

■ パルス電圧源

VXXX (正極) (負極) PULSE(V1 V2 TD TR TF PW PER)

【例】

VIN 2 0 PULSE(0V 3.3V 7.5n 0.5n 0.5n 4.5n 10n)



14

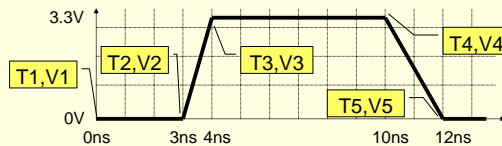
時変電源の設定(2)

■ 折れ線電圧源

VXXX (正極) (負極) PWL(T1 V1 T2 V2 T3 V3...)

【例】

PWL(



15

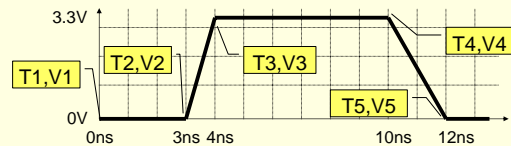
時変電源の設定(2)

■ 折れ線電圧源

VXXX (正極) (負極) PWL(T1 V1 T2 V2 T3 V3...)

【例】

PWL(0n 0V 3n 0V 4n 3.3V 10n 3.3V 12n 0V)



16

インバータ回路の過渡特性解析

M0 out in Gnd CMOSN W=4U L=0.4U

M1 out in Vdd CMOSN W=4U L=0.4U

C0 out Gnd 1p

VGND Gnd 0 DC 0V

VVDD Vdd 0 DC 3.3V

.include tsmc_035.bsim3

VIN in 0 PULSE(0V 3.3V 3n 0.5n 0.5n 9.5n 20n)

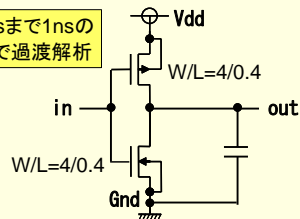
.tran in 100n

.save in out

入力端子inへの
パルス電源
(50MHz)の入力

100nsまで1nsの
刻みで過渡解析

In,out端子の
波形を保存

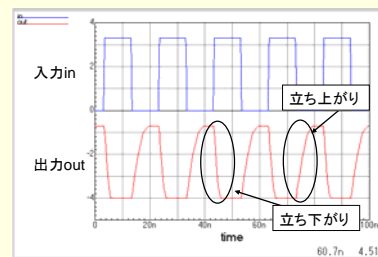


17

インバータ回路の過渡特性解析結果

■ シミュレーション波形の表示

- PMOS, NMOSのトランジスタサイズが同じ場合には、出力波形の立ち上がり時間が立ち下がり時間に比較して長いことがわかる



18

インバータ回路のDC特性解析

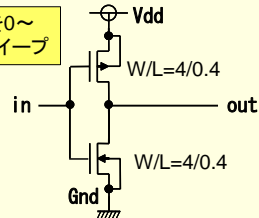
```

M0 out in Gnd Gnd CMOSN W=4U L=0.4U
M1 Vdd in out Vdd CMOSP W=4U L=0.4U
VGND Gnd 0 DC 0V
VVDD Vdd 0 DC 3.3V
.include tsmc_035.bsim3
VIN in 0 DC 0V
.DC VIN 0V 3.3V 0.1V
.save in out
    
```

入力端子inへの電源

VIN電源を0~3.3Vまでスイープ

In,out端子の波形を保存

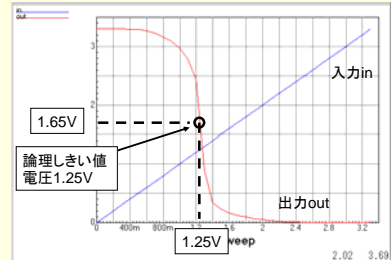


19

インバータ回路のDC解析結果

■ シミュレーション波形の表示

- PMOS, NMOSのトランジスタサイズが同じ場合には, インバータの論理しきい値電圧が $V_{dd}/2 (=1.65V)$ より小さくなっていることがわかる



20

小テスト(12/24)

- 来週
- 持ち込み可: 関数電卓
- 出題範囲: 前回小テスト以降の講義範囲すべて
 - レジュメ: 第9,11,12回
 - 教科書: p.83~92, p.127~p.130L3, p.162~171
 - 章末問題
 - 第3章 (3)(11)
 - 第4章 (6)
 - 第5章 (1)(3)
 - 教科書にはないSPICEも範囲なので, 基本的なネットリストの書き方は復習しておくこと

21