

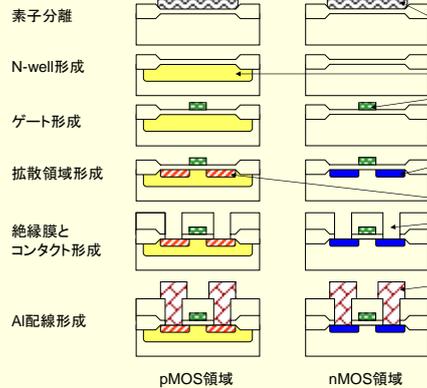
集積デバイス工学(14)

高性能トランジスタと配線

VLSIセンター 藤野 毅

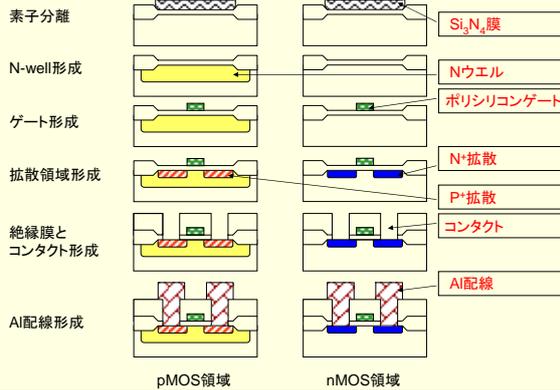
1

CMOSプロセスフロー(復習)



2

CMOSプロセスフロー(復習)



3

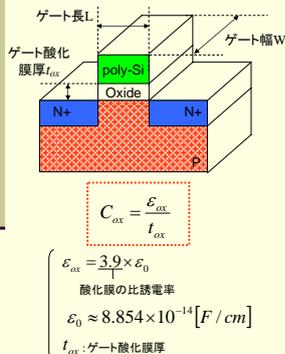
デュアルオキシド技術

- チップのインターフェースやアナログ回路と内部デジタル回路の動作電圧が異なる
 - チップ外のインターフェース: 3.3V
 - アナログ回路: 3.3V
 - 内部デジタル回路: 1.8V
- 同一ウエハ上に2種類の酸化膜厚を有するトランジスタを形成する。⇒デュアルオキシド
- 従来の一種類の酸化膜厚のトランジスタをシングルオキシドという

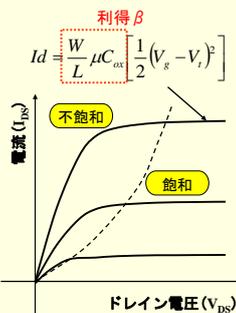
4

トランジスタのゲート酸化膜容量と電流

- 電流を流すためには利得βを大きく⇒Coxを大きく



5



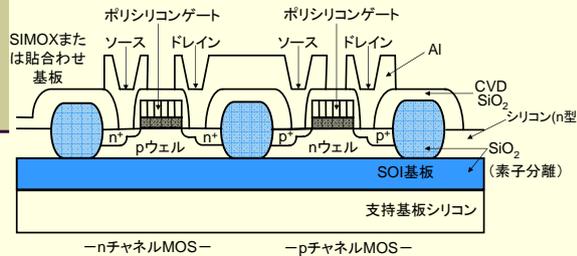
IntelとIBM、45nmプロセスにHf系材料のHigh-kゲート絶縁膜を採用し量産

- http://www.sijapan.com/breaking/0702/br070213_0301.html (2007年02月13日)
- 米Intel社と米IBM社はいずれも、Hfをゲート絶縁膜に採用した45nmプロセスのマイクロプロセッサを試作している。SiO₂によるゲート絶縁膜は、90nmの製造プロセスでリーク電流が問題になる薄さになり、65nmプロセスでは薄さが限界に達した。45nmのプロセスではトランジスタチャンネルに電子を移動させるゲート電界を確保しつつ、ゲート絶縁膜の厚みを増してリーク電流を防ぐ材料として、誘電率が高いHf系酸化物が有力候補になっている。
- Hf(hafnium:原子番号72)は、融点が2000度の金属元素で、電球のフィラメント、電極、タングステン合金、原子力発電所で中性子を吸収する制御ロッドなどに使用されている。Hfは高温でO₂、Si、N、Cなどと反応し、高い誘電率をもつゲート絶縁膜の材料としてHf酸化物、Hf珪酸塩(Hfシリケート)、HfSiONなどが研究されてきた。

6

SOIトランジスタ

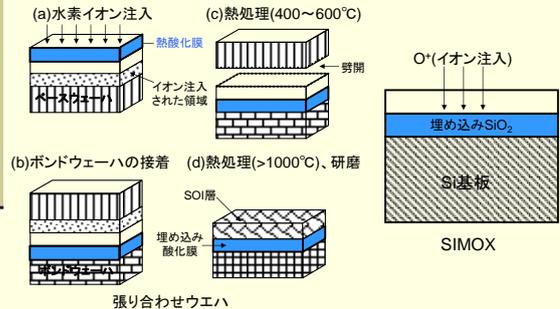
- 素子分離が容易
- ソース&ドレイン寄生容量の低減
- トランジスタ特性向上
- 従来のトランジスタを**バルクトランジスタ**と呼ぶ



7

SOIウエハ作成法

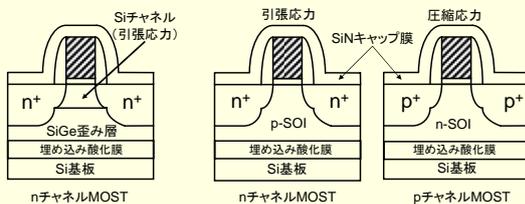
- 張り合わせウエハとSIMOXの3種類の方法あり



8

ひずみシリコントランジスタ

- NMOSの移動度向上: **引張り**応力で移動度向上
- PMOSの移動度向上: **圧縮**応力で移動度向上
- 高性能マイクロプロセッサなどで使用され始めた



9

Cu配線

- 比抵抗がAlに比べて約半分
(Al: $2.8 \mu \Omega \text{ cm}$, Cu: $1.7 \mu \Omega \text{ cm}$)
⇒配線の遅延成分であるRCのR(抵抗成分)を低減し高速動作
- エレクトロマイグレーション(局所的な電流集中によりAlの原子が移動し断線にいたる不良)に強い

10

Low-k層間絶縁膜

- SiO_2 より誘電率の低い膜を層間絶縁膜として採用
- 配線の遅延成分であるRCのC(容量成分)を低減

種類	新素材	膜形成法	比誘電率(k)	構造
無機物絶縁膜	SiO_2	酸化, CVD	4.0	-
	SiOF	CVD	3.4~3.6	-
	$\text{BSG}(\text{SiO}_2\text{-B}_2\text{O}_3)\sim\text{SiOB}$	CVD	3.5~3.7	-
	Si-H含有 SiO_2 -HSQ (Hydrogen Silses Quioxane)	塗布法	2.8~3.0 <2.0	
	カーボン含有 SiO_2 膜(SIOC)	プラズマ CVD	2.5~2.8	
	多孔質シリカ膜	塗布法	<3.0	-

11

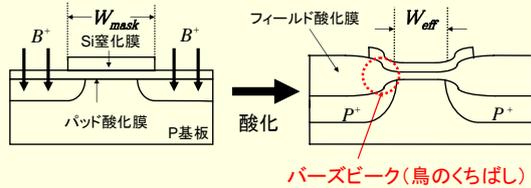
様々な高性能化プロセス(まとめ)

- 素子分離とトランジスタ
 - トレンチ分離
 - LDD構造
 - ポリサイドとサリサイド
 - デュアルオキサイド
 - High-kゲート酸化膜トランジスタ
 - SOIトランジスタ
 - 歪シリコントランジスタ
- 配線
 - 銅配線
 - Low-k層間絶縁膜

12

LOCOS分離

- **LOCOS** (Local Oxidation of Silicon) 法
1970年代に開発された素子分離手法で局所酸化法と呼ばれる。
- 0.25~0.18 μm 以下の世代では**バースピーク**による損失や、平坦化の問題により、**トレンチ分離技術**が使用されるようになった。



13

トレンチ分離

再掲

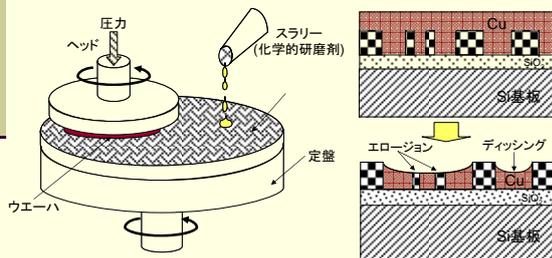
- (1)トレンチ(浅溝)をエッチングにより形成
 - (2)シリコン酸化膜埋め込み
 - (3)CMPにより、不要なシリコン酸化膜を除去して平坦化
-
- ① $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜形成
- ② $\text{Si}_3\text{N}_4/\text{SiO}_2$ をマスクとしてSiのトレンチエッチング
- ③ 内壁の酸化 (SiO_2 形成)
- ④ CVD SiO_2 堆積 (トレンチ埋め込み)
- ⑤ CMP平坦化 (Si_3N_4 をストップパとした埋め込み部の平坦化)
- STI(Shallow Trench Isolation) 構造のフロー

14

CMP (Chemical Mechanical Polishing)

再掲

- スラリと呼ばれる化学的研磨剤を併用して、機械的研磨技術によりウエハを平坦化する
- 素子分離工程における**トレンチ分離**や、**メタル配線の平坦化**には必須の技術
- パターンの密度・形状によって、**ディッシング**や**エロージョン**が発生するので、レイアウトには工夫が必要である。

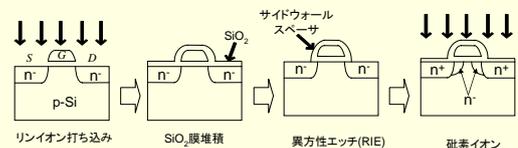


15

LDD構造

再掲

- ホットキャリア劣化
 - ソースからドレインに走行する電子が**ドレイン**近傍の高い電界によって高いエネルギーをもつ電子・正孔が**ホットキャリア**
 - チャネル長が1 μm 以下のトランジスタで顕著に発生
 - このホットキャリアの一部がゲート酸化膜に注入されたりすると**ゲート酸化膜**にダメージを与える。
- 上記ホットキャリアの発生を抑制するために、ドレイン近傍の電界を緩和するための薄い拡散層を形成する。これを**LDD** (Lightly doped drain)構造のトランジスタと呼ぶ。

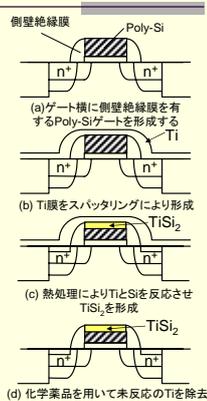


16

サリサイドゲート技術

再掲

- **シリサイド**:シリコンと金属の化合物で、ポリシリコンより**抵抗率が小さい**
 WSi , TiSi , CoSi , NiSi など
- サリサイド:トランジスタのゲート、ソース、ドレイン領域に**自己整合的**にシリサイドを形成する
⇒Self Aligned Silicide
- ゲート抵抗を低くするだけでなく、ソースドレイン部への配線抵抗およびコンタクト抵抗も低減できる



サリサイド(Self Align Silicide)の形成プロセス

17

定期試験について

- 持ち込みは**電卓のみ**
- トランジスタの動作に関して駆動電流の導出やON/OFFの条件を理解しておくこと
- 論理しきい値電圧、立ち上がり/下がり時間、CMOS回路の消費電力の公式を覚えておくこと
- LSIの製造プロセス工程名を復習し、簡単なレイアウトを書けるようにしておくこと(SPICEパラメータからTOX, VT0, CJ, CJSWなどを読み取るように)
- CMOSトランジスタを使った基本回路(複合ゲート等)の動作を理解し、トランジスタレベルの回路図、真理値表、タイミング図を書けるようにしておくこと
- 本日も行った最新のプロセスの中身を把握しておくこと

18