

いずみ研以外でも  
モルモット募集中

# 2007年度 いずみ研 新人課題 回路で電子オルガン

...よくある課題...

...一見それだけのことなのだが...

<http://www.ritsumei.ac.jp/se/re/izumilab/lecture/07electone/>

- 三菱マイコン製 MU200EC
  - ALTERA 製 Cyclone FPGA
  - スイッチ、発光ダイオード、ブザー
- Verilog HDL で記述、Quartus II で合成、コンフィギュレーション
- MU200EC にサンプルデモ回路が付属している (VHDL版)
- 学部生演習レベル...この程度でギブアップする奴は要らん

※FPGAとキーとブザーを装備しているボードならなんでもよい

例: MU200EA, MU200EK, ほか



<http://www.ritsumeai.ac.jp/se/re/izumilab/lecture/07electone/mono-bz.wmv>

- 三菱マイコン製 MU200EC
  - ALTERA 製 Cyclone FPGA
  - スイッチ、発光ダイオード、ブザー
- Verilog HDL で記述、Quartus II で合成、コンフィギュレーション
- 単純なようで、意外と難しい

※FPGAとキーとブザーを装備しているボードならなんでもよい

例: MU200EA, MU200EK, ほか



<http://www.ritsumeai.ac.jp/se/re/izumilab/lecture/07electone/multi-bz.wmv>

- 三菱マイコン製 MU200EC
  - ALTERA 製 Cyclone FPGA
  - スイッチ、発光ダイオード、ブザー
- DAC, AMP, SPKR
- Verilog HDL で記述、Quartus II で合成、コンフィギュレーション
- 実パーツを相手にした“生活力”が問われる

※FPGAとキーを装備しており、10本強の信号を外に取り出せるボードならなんでもよい

例: MU200EA, MU200EK, ほか



<http://www.ritsumeai.ac.jp/se/re/izumilab/lecture/07electone/multi-sp.wmv>

- 可変周期信号発生器を作れ Lv3
- 音階v.s.与える数値の表を作れ Lv2
- 方形波関数モジュールを作れ Lv1
- 混合器を作れ Lv2
- 正弦関数モジュールを作れ Lv5
- 固定和音をならせ (キー入力なしでよい) Lv7

- FPGA ボード:三菱マイコン製 MU200-EC
  - コンフィギュレーションケーブル:ALTERA 製 USB Blaster
  - 電源:COSEL製 LDC15F-1
  - D/A コンバータ:Texas Instruments 製TLC7226CN
  - オーディオ・パワーアンプ:National Semiconductor 製 LM386N
  - サンハヤト製ブレッドボードの一部、ジャンクのUSBハブ、ジャンクのスピーカ、ダイソー製ポリプロピレンバッグケース、他
- バッグスタイルにひとまとめ

近日発売?

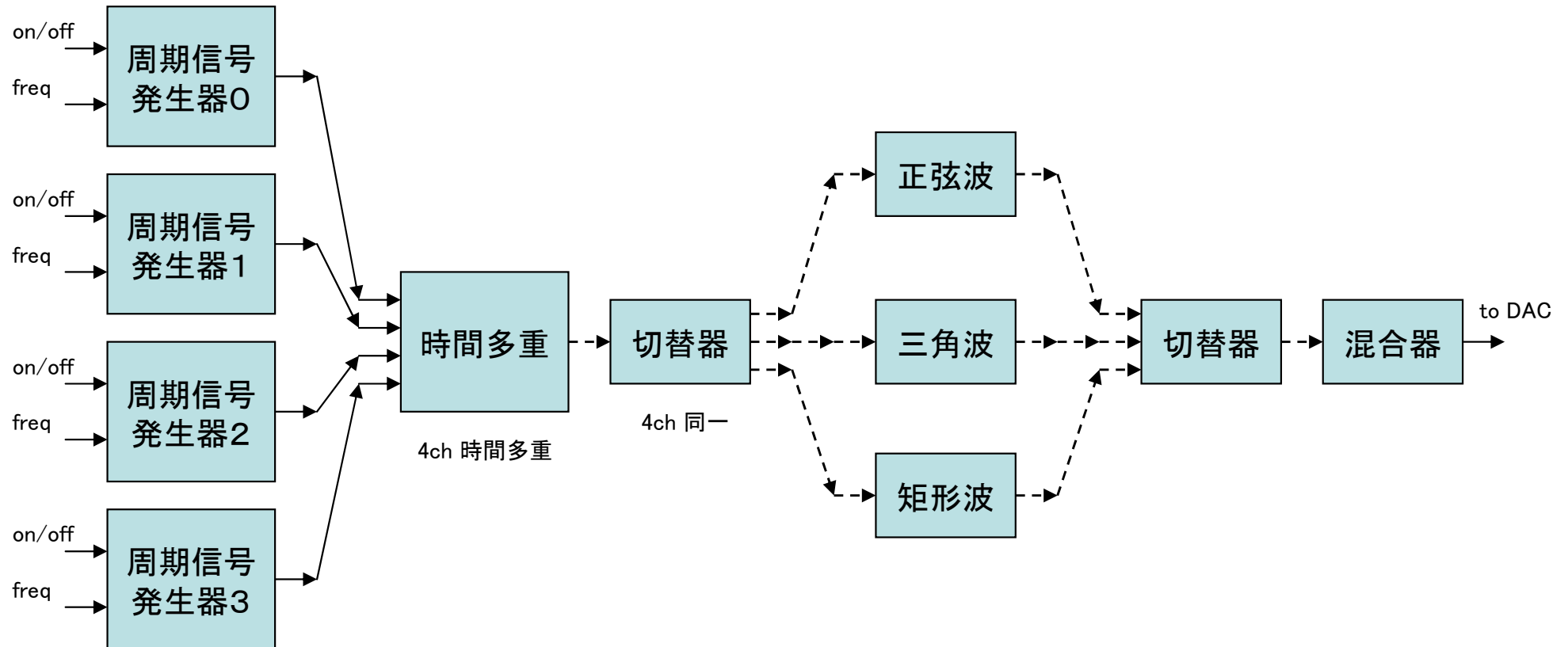


発売はしませんが、Lv10 以上のシミュレーション & 合成が出来た学生には貸し出します。



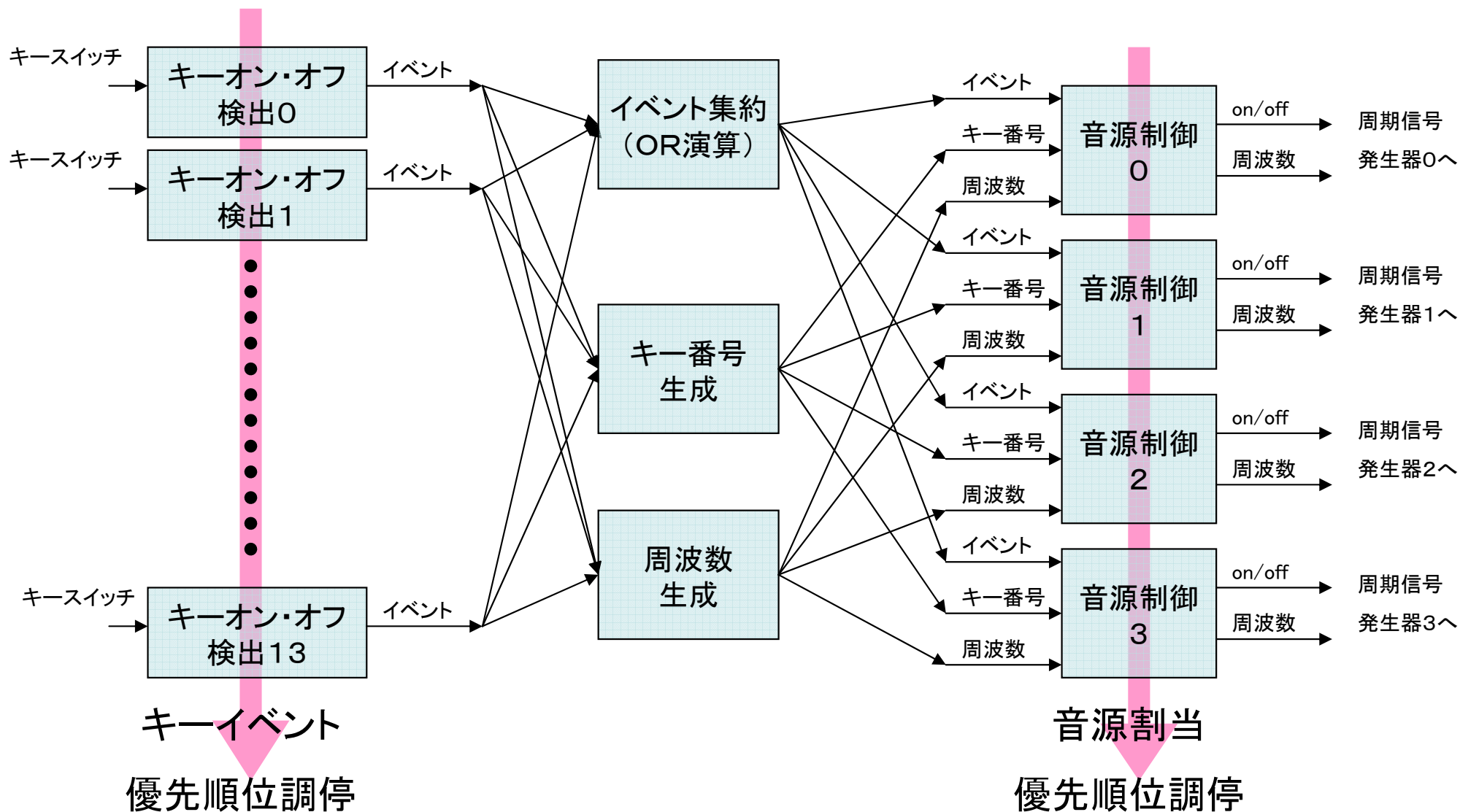


# 音源部分データパス





# キーボード制御部ブロック図



+-- MU200EC6.v	FPGA 全体
+-- keyosc binder.v	キー入力と周期信号発生器の割当ての制御
+--(octave.v)	音階コード周波数変換（今回未使用）
+-- oscillator.v	周期信号発生器
+-- timemux.v	4ch 時間多重
+-- rectangle256.v	方形波の発生
+-- triangle256.v	三角波の発生
+-- sin256.v	正弦波の発生
+-- sintbl.v	合成&シミュレーション用
+--(sintbl_bb.v)	合成&シミュレーション用
+--(sintbl-model.v)	シミュレーション用（汎用ツール用）
+-- timemix.v	4ch 時間多重信号の混合器
+-- dacctrl.v	D Aコンバータのための変換と制御

## シミュレーション用ファイル

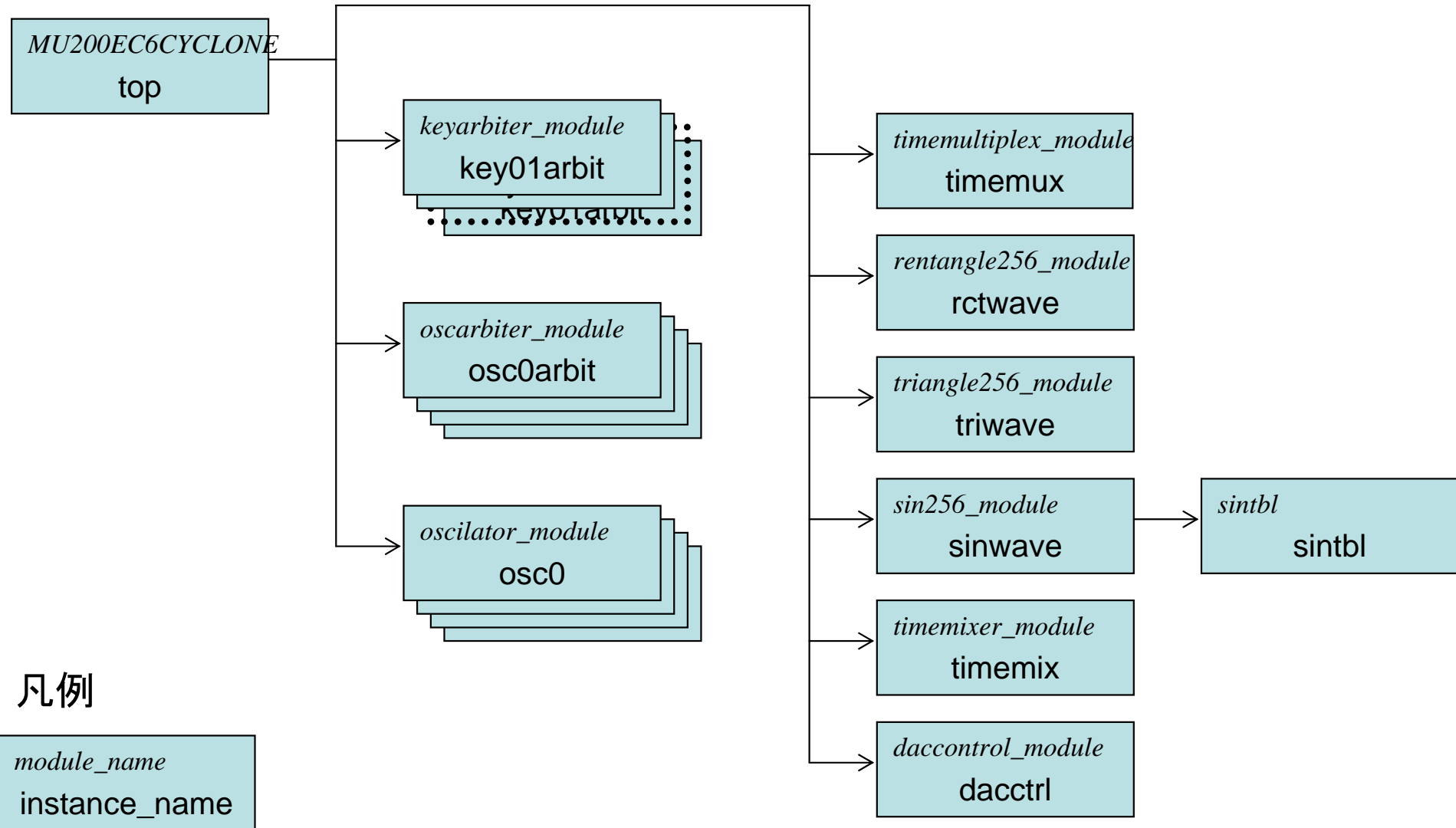
- \* tb\_MU200EC6.v 全体シミュレーション用のテストベンチ
- \* tb\_roundsatur.v 丸め処理、飽和処理の確認用のテストベンチ
- \* tb\_rectangle256.v 方形波関数の確認用のテストベンチ
- \* tb\_triangle256.v 三角波関数の確認用のテストベンチ
- \* tb\_sin256.v 正弦波関数の確認用のテストベンチ

※ tb\_\*.v テストベンチ、tb\_\*.sig 表示信号指示

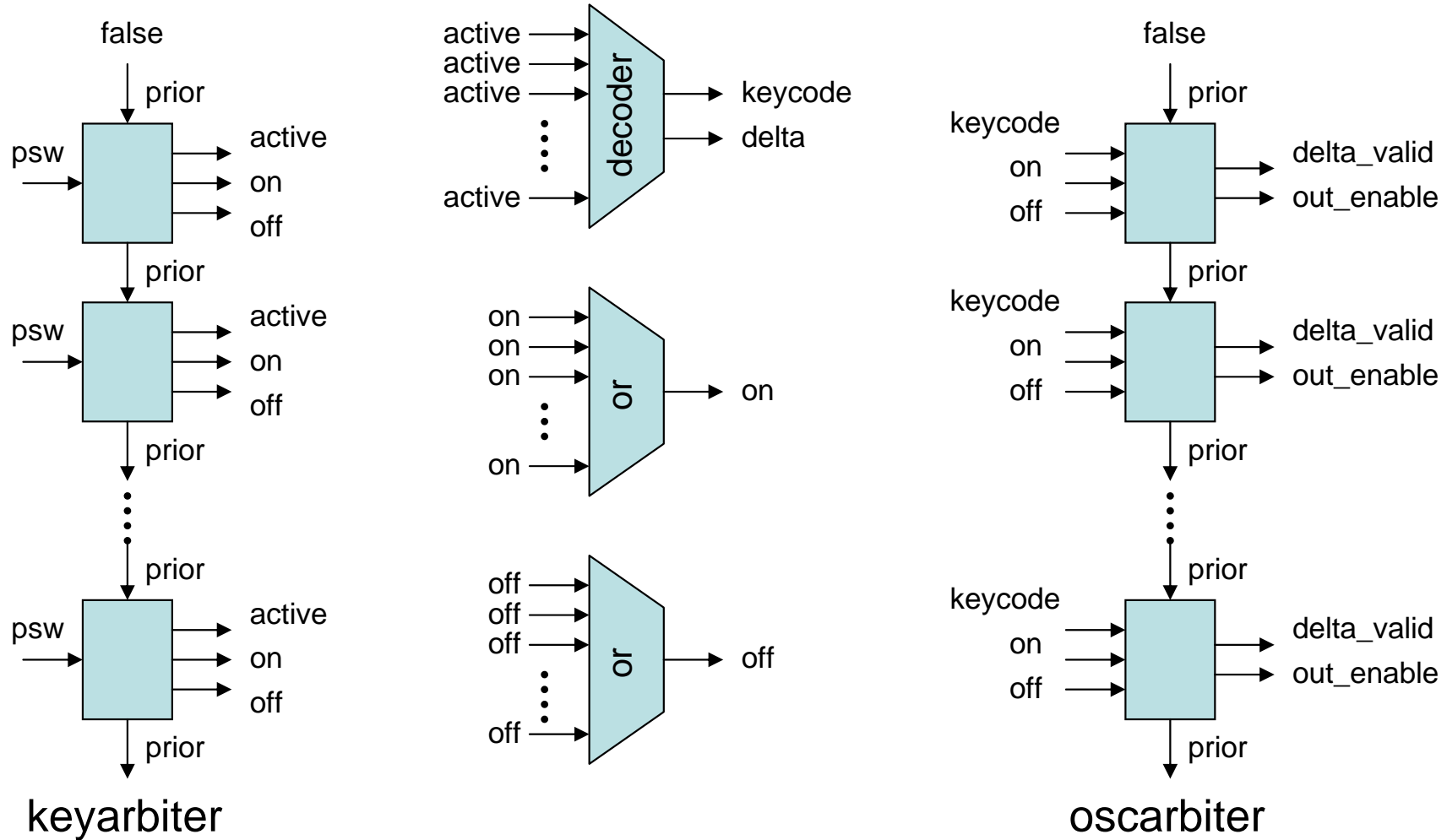
## その他

- \* sintbl\_mif.c 正弦関数値表のメモリ内容 hex ファイル生成プログラム
- \* sintbl.mif 正弦関数値表のメモリ内容 hex 形式
- \* sintbl\_hex.c 正弦関数値表のメモリ内容 hex ファイル生成プログラム
- \* sintbl.hex 正弦関数値表のメモリ内容 hex 形式
  
- \* MU200EC6CYCLONE.pin FPGA ピン割当て指示

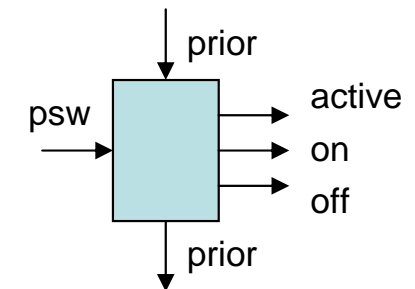
# モジュール構成と階層



# キーセンスとオシレータ割当ての優先順位付け RITS

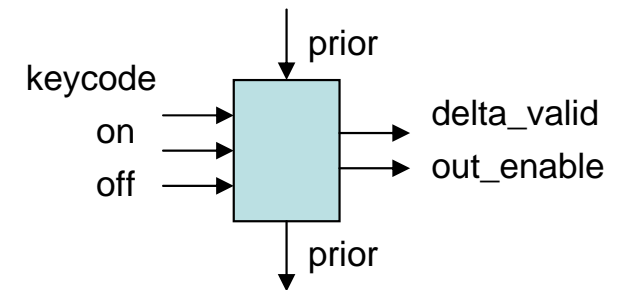


- キーひとつにつきひとつの処理ユニット
- 変化検出→FF 2段
- 変化パルス: active, on, off
- 優先処理
  - 上位からの入力
    - false ... 自分は受付可
    - true ... 自分は受付不可
  - 下位への出力
    - false ... 上位がfalseかつ自分も受付無
    - true ... 上位がtrueあるいは自分が受付中



制限事項: 同一クロックサイクル中に複数の on/off が発生した場合、優先順位の低いイベントを取りこぼす(遅延させて処理することはない)

- オシレータひとつにつきひとつの処理ユニット
- 出力中のキーコードと出力 enable を保持 → reg
- on 時: 受付可なら受付、コード保持、enable on
- off 時: 自処理中コードであれば、enable off
- 優先処理
  - 上位からの入力
    - false ... 自分は受付可
    - true ... 自分は受付不可
  - 下位への出力
    - false ... 上位がfalseかつ自分は受付中
    - true ... 上位がtrueあるいは自分は受付無



制限事項: 同一クロックサイクル中に複数のイベントが発生した場合は動作保証しない

- 別資料を参照のこと

- <http://www.ritsumei.ac.jp/se/re/izumilab/lecture/07electone/sin256.pdf>

- ・ モジュールの設計方法、インターフェースの考え方などについては泉の“演算機能回路”の講義資料、2007年度、第12回、第13回を参照されたし

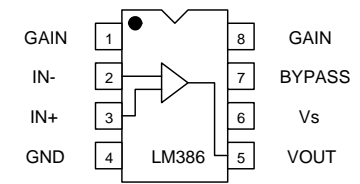
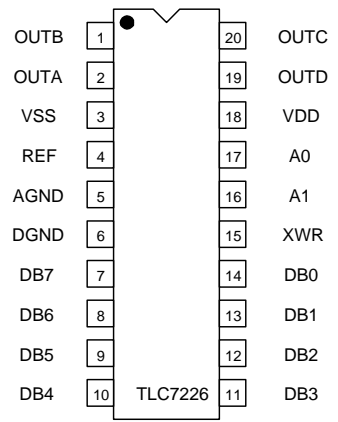
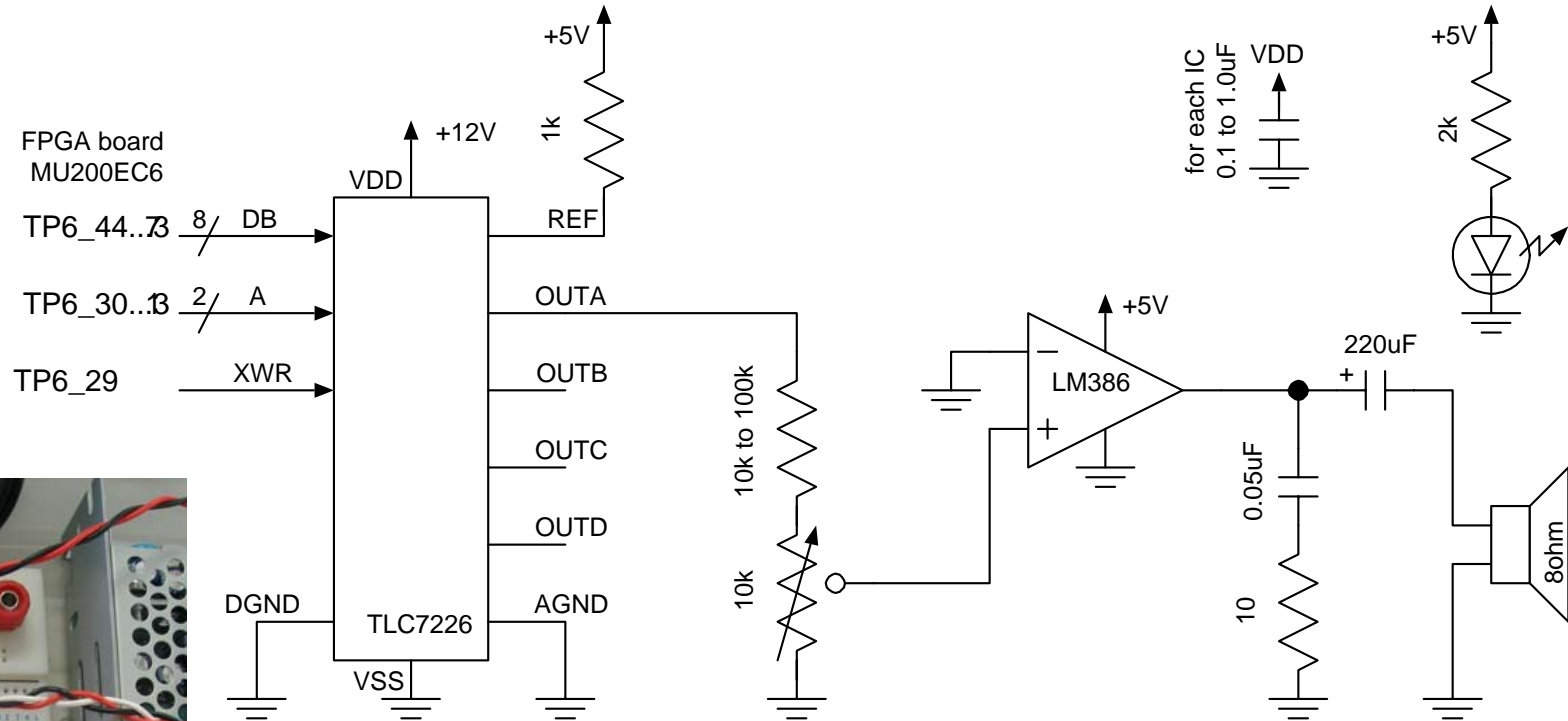
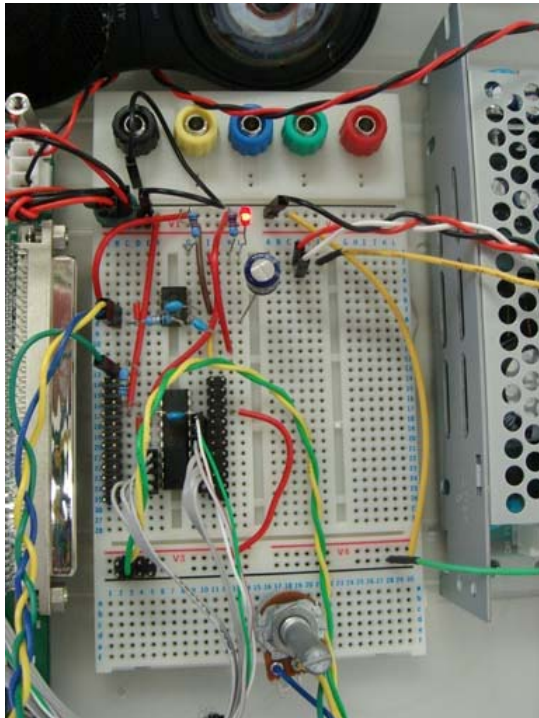
- <http://www.ritsumei.ac.jp/se/re/izumilab/lecture/07electone/06fm12.pdf>

- <http://www.ritsumei.ac.jp/se/re/izumilab/lecture/07electone/06fm13.pdf>

※実際に聴いてみたら正弦波でなく三角波でもそこそこの音に聴こえたので、具体的な実装・実現のほうにより興味がある人は、後回しでも可。



# DAC, AMP, SPKR



# オシロスコープによる実測



# DAC 制御信号

DAC OUT

DAC データ書込(負論理)

DAC 出力選択1

DAC 出力選択0

DAC DATA7

DAC DATA6

DAC DATA5

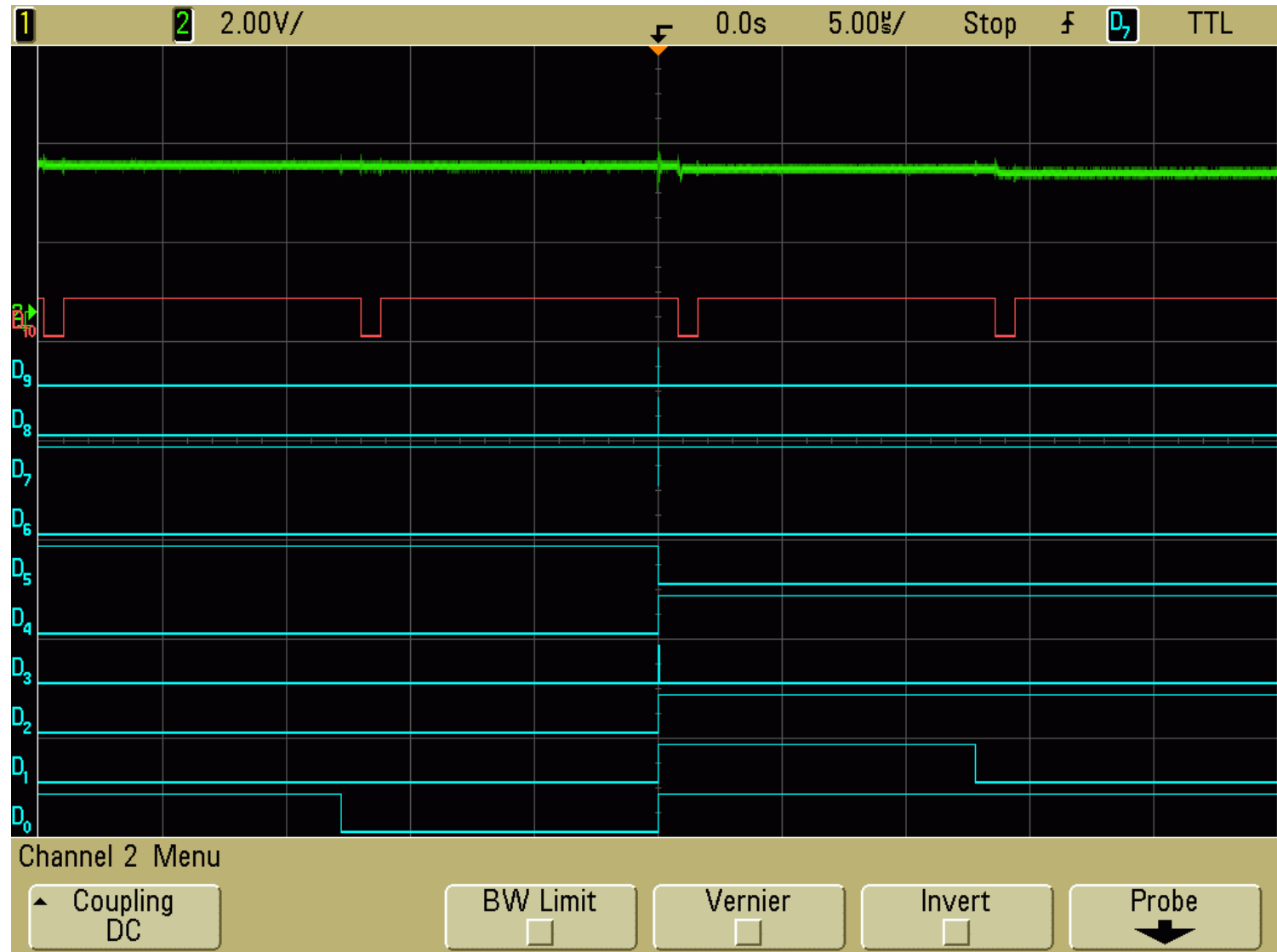
DAC DATA4

DAC DATA3

DAC DATA2

DAC DATA1

DAC DATA0



# デジタル信号→アナログ信号

DAC OUT

DAC データ書込(負論理)

DAC 出力選択1

DAC 出力選択0

DAC DATA7

DAC DATA6

DAC DATA5

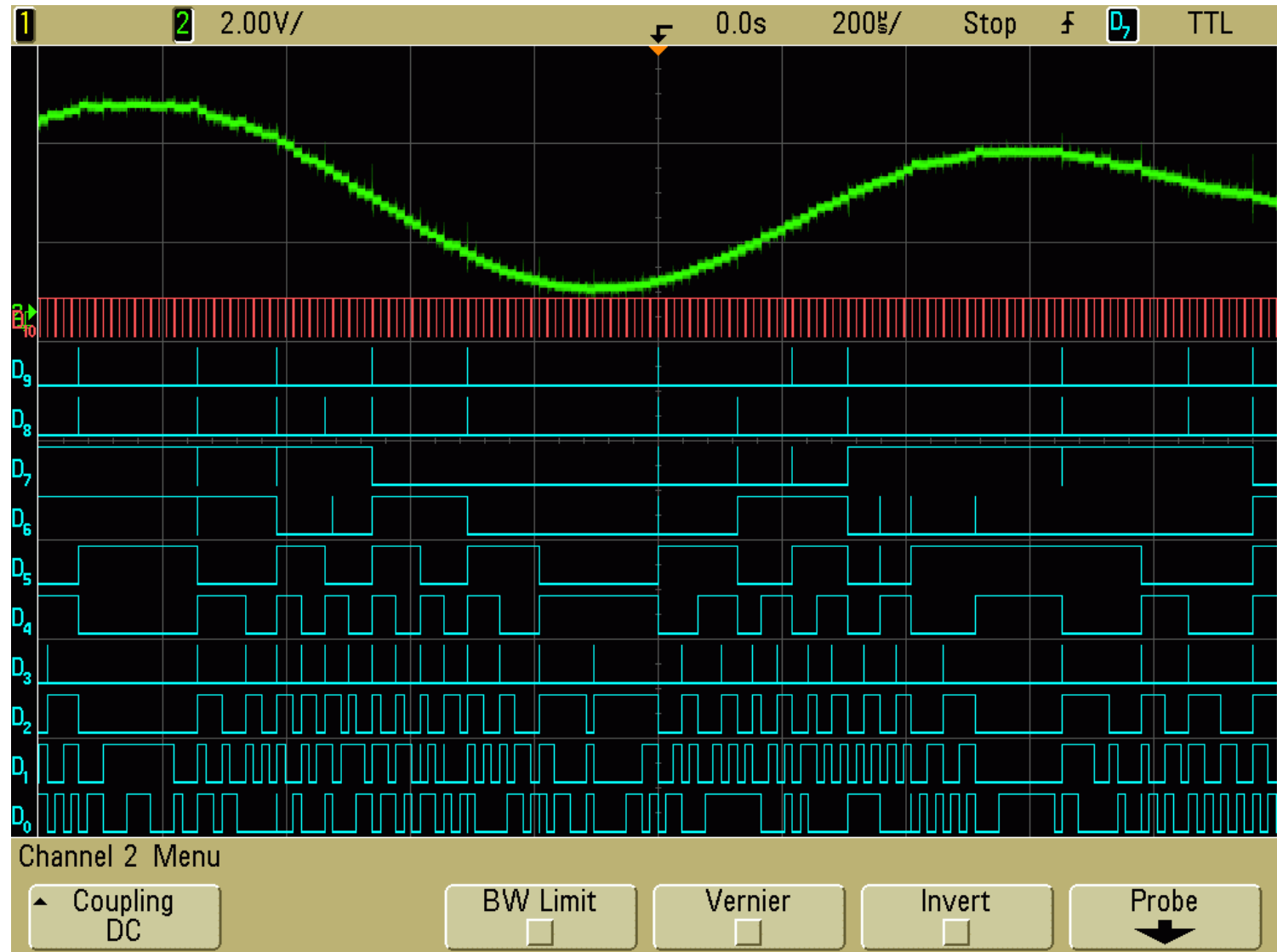
DAC DATA4

DAC DATA3

DAC DATA2

DAC DATA1

DAC DATA0



# DAC出力→AMP出力

