

集積デバイス工学(6)

PMOSTランジスタの特性
CMOSインバータの伝達特性

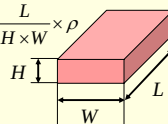
VLSIセンター 藤野 毅

1

抵抗素子(1)抵抗率

- 配線材料の固有抵抗を使用した場合

材料	抵抗率 ρ ($\Omega \cdot m$)
ゲート電極	ポリシリコン シリサイド(CoSi, WSi) 高融点金属(W)
拡散層	N ⁺ 拡散 P ⁺ 拡散
金属配線	Al, Cu

$$R = \frac{L}{H \times W} \times \rho$$


2

抵抗素子(2)シート抵抗と練習(1)

- 設計者のレイアウトデザインでは、厚さHは制御できない
⇒シート抵抗 ρ_s (単位は $\Omega/\square$) を使用する

$$R = \frac{L}{W} \times \rho_s \quad \rho_s = \frac{\rho}{H}$$

- 膜厚 $0.3 \mu m$ のシート抵抗は?

$$\rho_s = \frac{\rho}{H} = \frac{3 \times 10^{-8}}{0.3 \times 10^{-6}} = 0.1 \quad [\Omega/\square]$$

3

抵抗素子(3)練習(2)

- 教科書 p.30 の拡散抵抗, ポリシリコン抵抗, Al抵抗になるときのそれぞれの膜厚は?

教科書 p.30 表 2.1

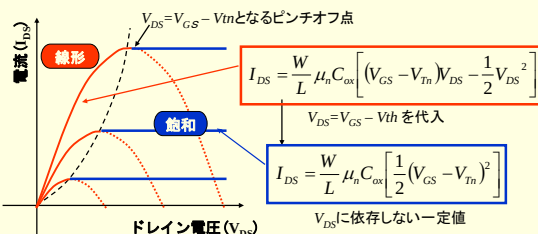
層の種類	シート抵抗
拡散層	100 $\Omega/\square$
ポリシリコン層	50 $\Omega/\square$
Al配線	0.05 $\Omega/\square$

- ・拡散層 $H \approx \rho / \rho_s = 10^{-5} / 100 = 10^{-7} = 0.1 \mu m$
- ・ポリシリコン $H \approx \rho / \rho_s = 10^{-5} / 50 = 10^{-7} = 0.2 \mu m$
- ・Al配線 $H \approx \rho / \rho_s = 3 \times 10^{-8} / 0.05 = 0.6 \mu m$

4

N型MOSTランジスタのドレイン電流式

- NMOSTランジスタのしきい値電圧 V_T を V_{th} としめす

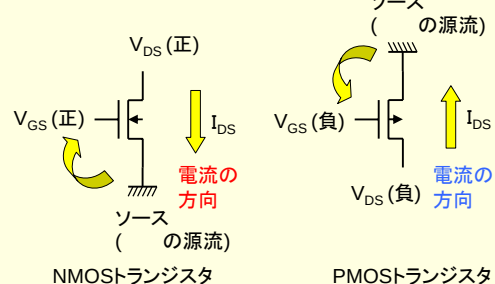


利得 $\beta_n = \frac{W}{L} \mu_n C_{ox}$ を使用すると教科書 p.46 表 2.2 に一致

5

PMOSTランジスタの電流特性

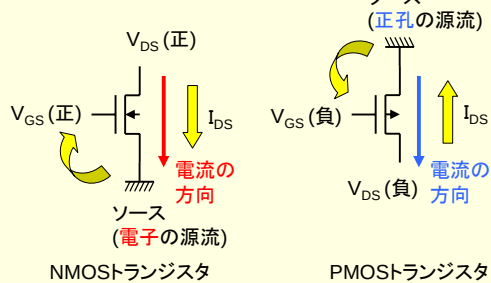
- PMOSTランジスタの電流の方向は I_{DS} の向きと反対方向となる ⇒ 電流式に **マイナス** がつく



6

PMOSTランジスタの電流特性

- PMOSTランジスタの電流の方向は I_{DS} の向きと反対方向となる⇒電流式にマイナスがつく



P型MOSTランジスタのドレイン電流式

- PMOSのしきい値電圧 V_T を V_{Tp} とします。
このとき $V_{Tp} < 0V$ である
また $V_{DS} < 0V$, $V_{GS} < 0V$

$$I_{DS} = -\frac{W}{L} \mu_p C_{ox} \left[(V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

$V_{DS} = V_{GS} - V_{Tp}$ を代入

$$I_{DS} = -\frac{W}{L} \mu_p C_{ox} \left[\frac{1}{2} (V_{GS} - V_{Tp})^2 \right]$$

V_{DS} に依存しない一定値

飽和

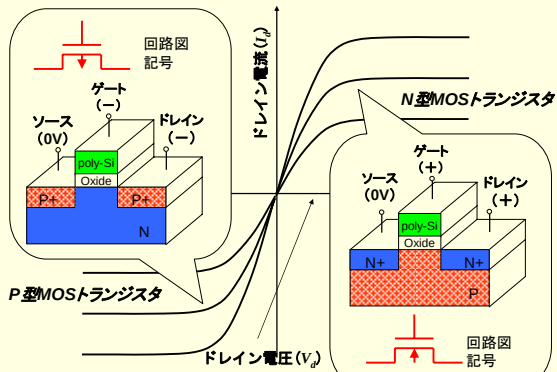
線形

$V_{DS} = V_{GS} - V_{Tp}$ となるピンチオフ点

利得 $\beta_p = \frac{W}{L} \mu_p C_{ox}$ を使用すると教科書p.47表2.3に一致

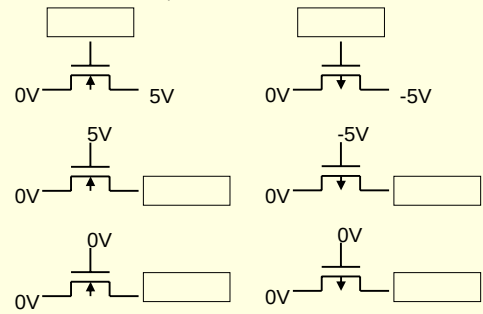
8

N型およびP型MOSTランジスタ



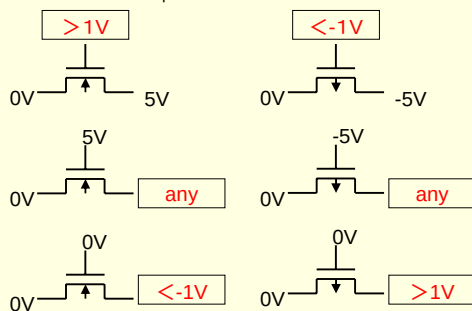
クイズ1

- 下のトランジスタがONする電圧範囲を求めよ
ただし $V_{Tn}=1V$, $V_{Tp}=-1V$ とする

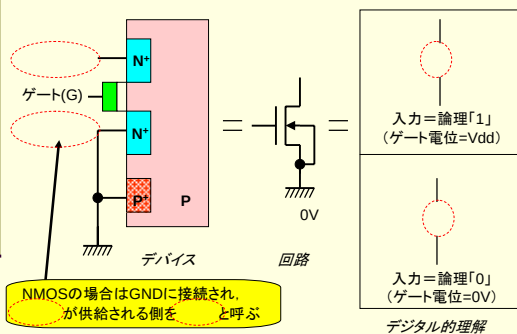


クイズ1

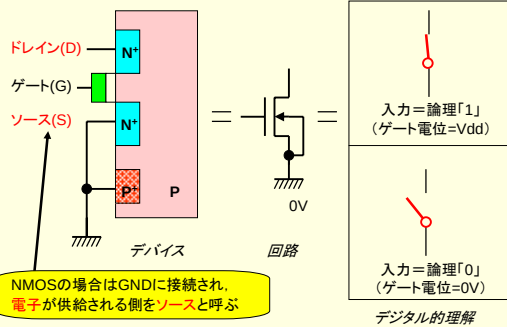
- 下のトランジスタがONする電圧範囲を求めよ
ただし $V_{Tn}=1V$, $V_{Tp}=-1V$ とする



N型MOSTランジスタを用いたスイッチ

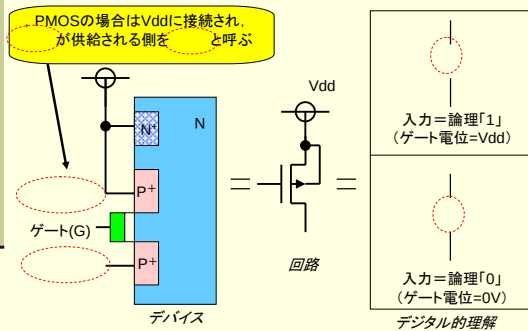


N型MOSTランジスタを用いたスイッチ



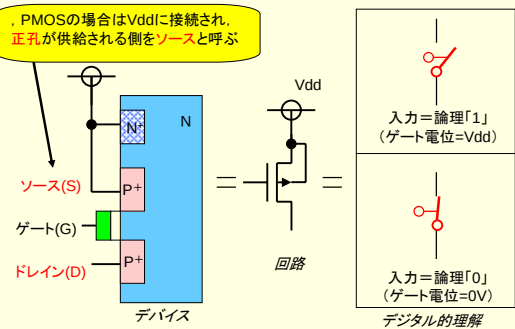
13

P型MOSTランジスタを用いたスイッチ



14

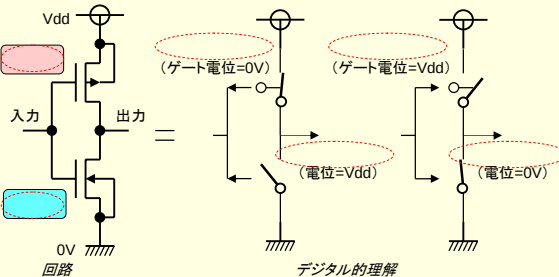
P型MOSTランジスタを用いたスイッチ



15

CMOS回路を用いたNOT論理ゲート(インバータ)

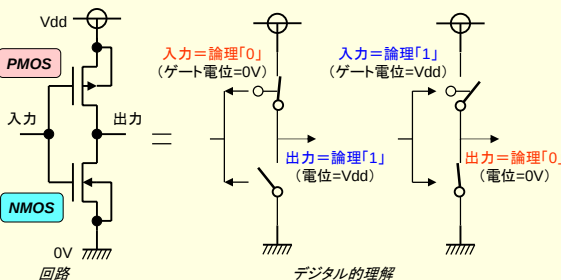
- 入力電圧により、NMOS、PMOSTランジスタのいずれかが相補的 (Complimentary)にONしている⇒
- CMOS回路は待機時に電流が流れないので
⇒現在のデジタルVLSIはほとんどがCMOS回路



16

CMOS回路を用いたNOT論理ゲート(インバータ)

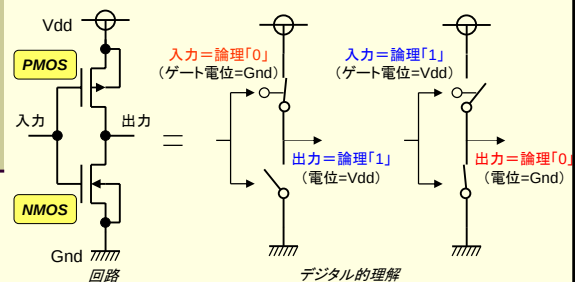
- 入力電圧により、NMOS、PMOSTランジスタのいずれかが相補的 (Complimentary)にONしている⇒CMOS回路
- CMOS回路は待機時に電流が流れないので低消費電力
- 論理振幅が電源電圧と同じなのでノイズに強く、また電源電圧の低電圧化に有利⇒現在のデジタルVLSIはほとんどがCMOS回路



17

CMOSインバータのデジタル的理解

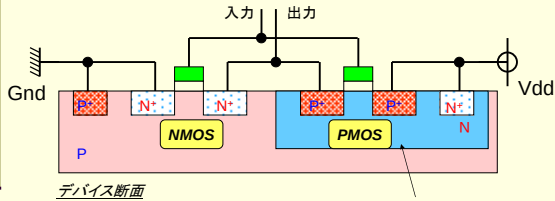
- NMOS: 入力が論理1(Vdd)のときにONするスイッチ
- PMOS: 入力が論理0(Gnd)のときにONするスイッチ



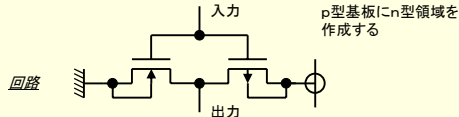
18

インバータのデバイス構造

- NMOSとPMOSを接続してインバータを形成
 - PMOSのN型基板電位はV_{dd}電源に
 - NMOSのP型基板電位はGnd電源に

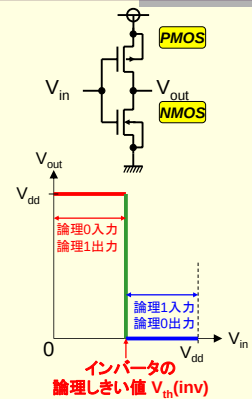


19



理想的なインバータの伝達特性

- 入力電圧 $V_{in} < V_{dd}/2$ (論理0)
 $\Rightarrow V_{out} = V_{dd}$ (論理1)
 (NMOS:OFF, PMOS:ON)
- 入力電圧 $V_{in} > V_{dd}/2$ (論理1)
 $\Rightarrow V_{out} = 0V$ (論理0)
 (NMOS:ON, PMOS:OFF)
- 横軸に入力 V_{in} 縦軸に出力 V_{out} をとったときの、静的な入出力電圧の関係: 「DC伝達特性」
- 出力論理が「1」と「0」の間で切り替わるときの入力電圧: 「論理しきい値」 $\Rightarrow V_{th(inv)}$

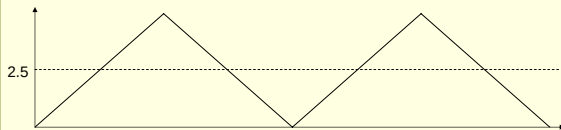


20

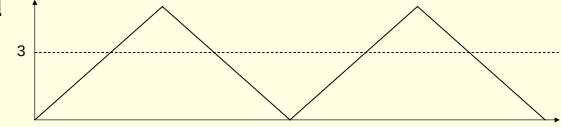
理想インバータのしきい値電圧依存性

- 5Vの三角波を入力

論理しきい値電圧 $V_{th(inv)} = 2.5V$



論理しきい値電圧 $V_{th(inv)} = 3V$

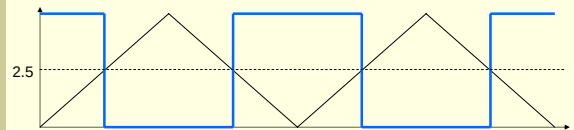


21

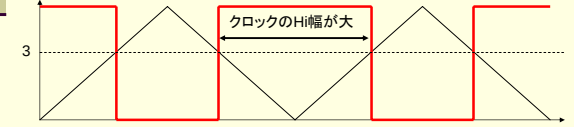
理想インバータのしきい値電圧依存性

- 5Vの三角波を入力

論理しきい値電圧 $V_{th(inv)} = 2.5V$



論理しきい値電圧 $V_{th(inv)} = 3V$



22

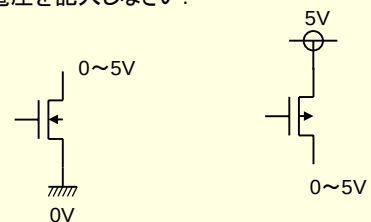
実際のインバータの詳細解析(1)

- 教科書 p.67 3.1.3の
 - インバータの論理しきい値電圧の定義
 - 雑音余裕度の定義
 は本講義と異なるので無視してください。
- P.71 3.2.2の入出力直流特性を見てください
- 以下のような条件でインバータを考える (定式化は教科書で見てください。)
 - 電源電圧 $V_{dd} = 5V$
 - NMOSTランジスタのしきい値電圧 $V_{TN} = 1V$
 - PMOSTランジスタのしきい値電圧 $V_{TP} = -1V$

23

CMOSインバータの詳細解析(2)

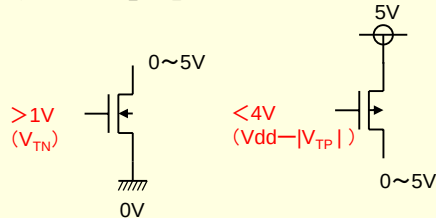
- 理想的には
 - $0V < V_{in} < V_{th(inv)} \Rightarrow$ NMOS:OFF, PMOS:ON
 - $V_{th(inv)} < V_{in} < V_{dd} \Rightarrow$ NMOS:ON, PMOS:OFF
- 実際にはどうでしょうか? 下のトランジスタがONする電圧を記入しなさい。



24

CMOSインバータの詳細解析(2)

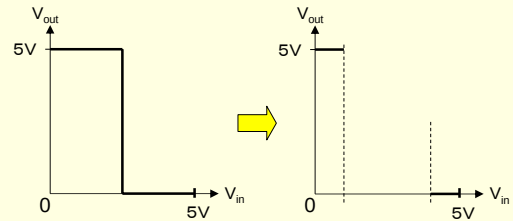
- 理想的には
 - $V_{in} < V_{th(inv)}$: NMOS: OFF, PMOS: ON
 - $V_{in} > V_{th(inv)}$: NMOS: ON, PMOS: OFF
- 実際にはどうでしょうか？ 下のトランジスタがONするゲート電圧を記入しなさい。



25

CMOSインバータの詳細解析(3)

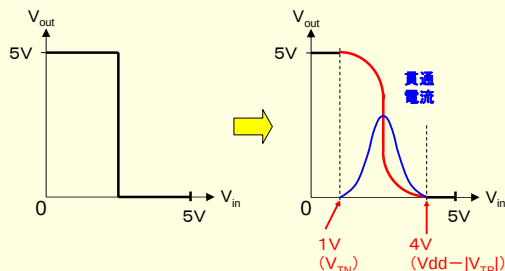
- NMOS, PMOS両方のトランジスタがONしている範囲 ($1V < V_{in} < 4V$) では出力電圧 V_{out} は0Vと5Vの間の中間的な電位となる
- このとき、電源から基板には**貫通電流**が流れる。



26

CMOSインバータの詳細解析(3)

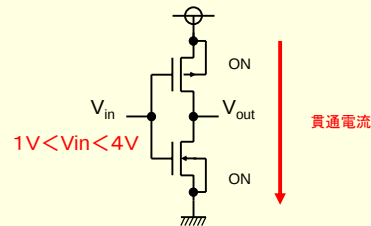
- NMOS, PMOS両方のトランジスタがONしている範囲 ($1V < V_{in} < 4V$) では出力電圧 V_{out} は0Vと5Vの間の中間的な電位となる
- このとき、電源から基板には**貫通電流**が流れる。



27

貫通電流

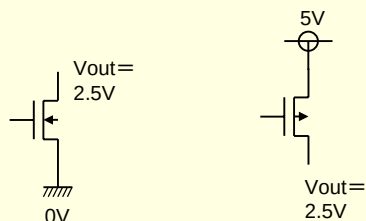
- 本電流はインバータの論理動作には役立たない無駄な電力
- インバータの入力波形がなまっている場合無駄な電力が増加する。



28

論理しきい値電圧の導出(1)

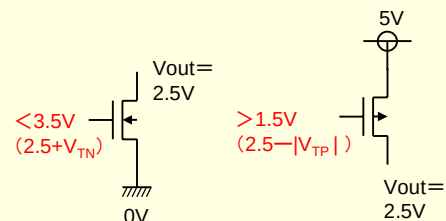
- トランジスタのON状態には「**飽和**」と「**線形**」の2種類があり、それぞれ電流式が異なる。
- 論理しきい値電圧を数式的にもとめるためには、どちらの状態にあるかを把握しておく必要がある。
- 出力 $V_{out} = V_{dd}/2 = 2.5V$ にあるときにトランジスタが「**飽和**」状態で動作するゲート電圧は？



29

論理しきい値電圧の導出(1)

- トランジスタのON状態には「**飽和**」と「**線形**」の2種類があり、それぞれ電流式が異なる。
- 論理しきい値電圧を数式的にもとめるためには、どちらの状態にあるかを把握しておく必要がある。
- 出力 $V_{out} = V_{dd}/2 = 2.5V$ にあるときにトランジスタが「**飽和**」状態で動作するゲート電圧は？



30

論理しきい値電圧の導出(2)

- 入力電圧が $1.5V(2.5 - |V_{TP}|) < V_{in} < 3.5V(2.5 + V_{TN})$ ではPMOS, NMOSともに飽和領域で動作する.

⇒ 論理しきい値電圧 $V_{th}(inv)$ 計算では飽和動作を使用.

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox} \quad \beta_p = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{とおくと飽和電流は}$$

$$I_{DSN} = \frac{1}{2} \beta_n (V_{in} - V_{TN})^2 \quad |I_{DSP}| = \frac{1}{2} \beta_p (V_{dd} - V_{in} - |V_{TP}|)^2$$

論理しきい値電圧 $V_{th}(inv)$ は $I_{DSN} = |I_{DSP}|$ のときの入力電圧 V_{in} なので

Vth(inv)を計算してください！

31

論理しきい値電圧の導出(2)

- 入力電圧が $1.5V(2.5 - |V_{TP}|) < V_{in} < 3.5V(2.5 + V_{TN})$ ではPMOS, NMOSともに飽和領域で動作する.

⇒ 論理しきい値電圧 $V_{th}(inv)$ 計算では飽和動作を使用.

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox} \quad \beta_p = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{とおくと飽和電流は}$$

$$I_{DSN} = \frac{1}{2} \beta_n (V_{in} - V_{TN})^2 \quad |I_{DSP}| = \frac{1}{2} \beta_p (V_{dd} - V_{in} - |V_{TP}|)^2$$

論理しきい値電圧 $V_{th}(inv)$ は $I_{DSN} = |I_{DSP}|$ のときの入力電圧 V_{in} なので

$$\sqrt{\beta_n / \beta_p} (V_{th}(inv) - V_{TN}) = V_{dd} - V_{th}(inv) - |V_{TP}|$$

$$\therefore V_{th}(inv) = \frac{V_{dd} - |V_{TP}| + V_{TN} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

32