

集積デバイス工学(7)

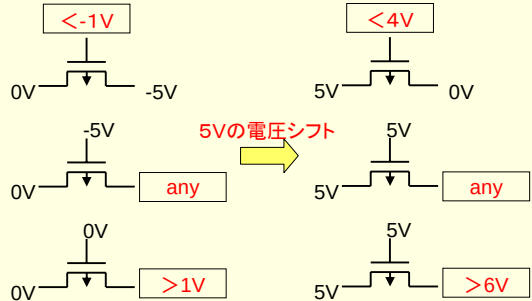
トランジスタの寄生容量とスイッチング回路モデル

VLSIセンター 藤野 毅

1

問題1 追加課題

- 下のトランジスタがONする電圧範囲を求めよ
ただし $V_{TN}=1V$, $V_{TP}=-1V$ とする



2

問題2①

- P型MOSトランジスタについて

- 正孔の実効移動度 $\mu_p=0.0070[m^2/V\cdot s]$, ゲート長 $0.25[\mu m]$, ゲート幅 $20[\mu m]$
- しきい値電圧 $-0.5V$, 単位面積あたりの酸化膜容量 $Cox=7 \times 10^{-4} [F/m^2]$

- ①ゲート電極の入力容量 $Cg[F]$ を求めよ.

$$Cg = L \times W \times Cox = 0.25 \times 10^{-6} \times 20 \times 10^{-6} \times 7 \times 10^{-4} \\ = 3.5 \times 10^{-15} = 3.5 [fF]$$

3

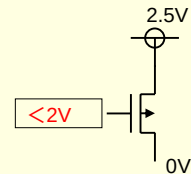
問題2②

- P型MOSトランジスタについて

- しきい値電圧 $-0.5V$, 単位面積あたりの酸化膜容量 $Cox=7 \times 10^{-4} [F/m^2]$

- ②上記P型トランジスタのソース電圧を $2.5V$, ドレイン電圧を $0V$ とした. ゲート電圧を $-2.5V$ から $2.5V$ まで変化させたとき, トランジスタがONするゲート電圧の範囲を答えよ.

$$-2.5V < Vg < 2V$$



4

問題2③

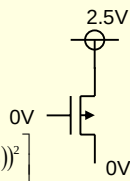
- P型MOSトランジスタについて

- 正孔の実効移動度 $\mu_p=0.0070[m^2/V\cdot s]$, ゲート長 $0.25[\mu m]$, ゲート幅 $20[\mu m]$
- しきい値電圧 $-0.5V$, 単位面積あたりの酸化膜容量 $Cox=7 \times 10^{-4} [F/m^2]$

- ③②の条件でゲート電圧を $0V$ にしたときのソースドレイン間に流れる電流 $I_{DS}[A]$ をもとめよ.

$$V_{pinch} = V_{GS} - V_{tp} = -2.5 - (-0.5) = -2V \\ V_{DS} = -2.5 < V_{pinch} \text{なので飽和領域}$$

$$I_{DS} = -\frac{W}{L} \mu_p C_{ox} \left[\frac{1}{2} (V_{GS} - V_{TP})^2 \right] \\ = -\frac{20}{0.25} \times 0.007 \times 7 \times 10^{-4} \left[\frac{1}{2} \times ((-2.5) - (-0.5))^2 \right] \\ = -7.84 \times 10^{-4} [A]$$

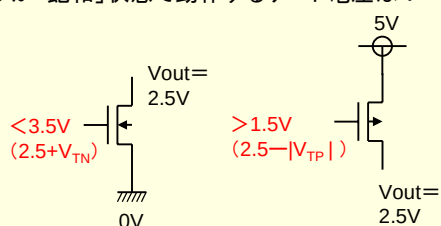


5

論理しきい値電圧の導出(1)

復習

- トランジスタのON状態には「飽和」と「線形」の2種類があり, それぞれ電流式が異なる.
- 論理しきい値電圧を数式的にもとめるためには, どちらの状態にあるかを把握しておく必要がある.
- 出力 $V_{out}=V_{dd}/2=2.5V$ にあるときにトランジスタが「飽和」状態で動作するゲート電圧は?



6

論理しきい値電圧の導出(2)

復習

- 入力電圧が $1.5V(2.5 - |V_{TP}|) < V_{in} < 3.5V(2.5 + V_{TN})$ ではPMOS, NMOSともに飽和領域で動作する.
⇒ 論理しきい値電圧 $V_{th(inv)}$ 計算では飽和動作を使用.

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox} \quad \beta_p = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{とおくと飽和電流は}$$

$$I_{DSN} = \frac{1}{2} \beta_n (V_{in} - V_{TN})^2 \quad |I_{DSP}| = \frac{1}{2} \beta_p (V_{dd} - V_{in} - |V_{TP}|)^2$$

論理しきい値電圧 $V_{th(inv)}$ は $I_{DSN} = |I_{DSP}|$ のときの入力電圧 V_{in} なので

$$\sqrt{\beta_n / \beta_p} (V_{th(inv)} - V_{TN}) = V_{dd} - V_{th(inv)} - |V_{TP}|$$

$$\therefore V_{th(inv)} = \frac{V_{dd} - |V_{TP}| + V_{TN} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

7

論理しきい値電圧の特性(1)

- 導かれた論理しきい値電圧 $V_{th(inv)}$ は

$$V_{th(inv)} = \frac{V_{dd} - |V_{TP}| + V_{TN} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

- $\beta_n = \beta_p \quad V_{TN} = |V_{TP}|$ の時 $V_{th(inv)} = \frac{V_{dd}}{2}$ となる

$$\beta_n = \beta_p \Rightarrow \frac{W_n}{L_n} \mu_n C_{ox} = \frac{W_p}{L_p} \mu_p C_{ox} \Rightarrow \frac{W_n}{L_n} \mu_n = \frac{W_p}{L_p} \mu_p$$

- 通常電子の移動度は正孔の移動度の2~3倍なので

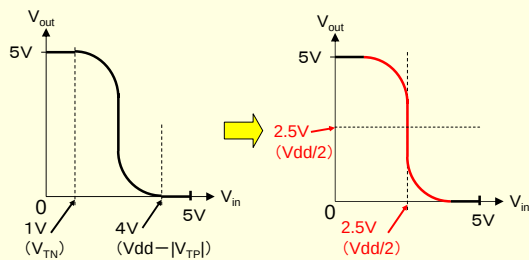
$$\mu_n = (2 \sim 3) \cdot \mu_p \Rightarrow W_p = (2 \sim 3) \cdot W_n$$

- 論理しきい値電圧 $V_{th(inv)}$ を電源電圧の半分にする条件は
(1) トランジスタのしきい値電圧の絶対値を等しく
(2) トランジスタのPMOS側のゲート幅をNMOS側の2~3倍

8

論理しきい値電圧の特性(2)

- 論理しきい値電圧 $V_{th(inv)}$ を電源電圧の半分にする条件は
 $\beta_n = \beta_p \quad V_{TN} = |V_{TP}| \Rightarrow V_{th(inv)} = \frac{V_{dd}}{2}$
- 上記の条件を満たしている時の伝達特性は以下のとおり



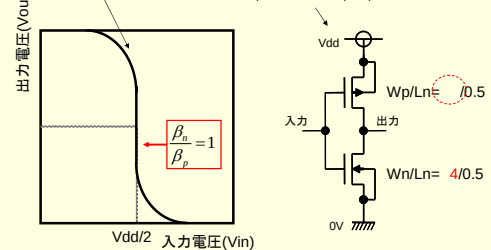
9

理想的しきい値電圧の実現

- 理想的論理しきい値 $V_{th(inv)} = V_{dd}/2$ の実現

$$\beta_n = \beta_p \quad \text{すなわち} \quad \frac{W_n}{L_n} \mu_n C_{ox} = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{および} \quad V_{thp} = -V_{thn} \quad \text{とするとよい}$$

具体的には $\mu_n \sim 3 \mu_p$ の場合, $L_n = L_p, W_p = 3W_n$ とする



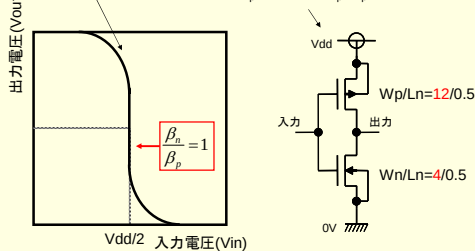
10

理想的しきい値電圧の実現

- 理想的論理しきい値 $V_{th(inv)} = V_{dd}/2$ の実現

$$\beta_n = \beta_p \quad \text{すなわち} \quad \frac{W_n}{L_n} \mu_n C_{ox} = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{および} \quad |V_{THP}| = V_{THN} \quad \text{とするとよい}$$

具体的には $\mu_n \sim 3 \mu_p$ の場合, $L_n = L_p, W_p = 3W_n$ とする



11

論理しきい値電圧の制御(1)

- NMOSとPMOSのしきい値電圧の絶対値は等しく, 利得 β が異なる時を考える

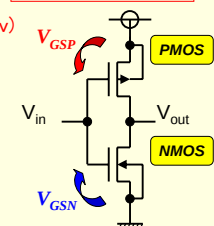
- $V_{in} = V_{th(inv)}$ のとき

- $I_{DSN} = |I_{DSP}|$ が必要
- $V_{GSN} = V_{th(inv)}, |V_{GSP}| = V_{dd} - V_{th(inv)}$

- $\beta_n > \beta_p$ であり, NMOSが強くなりバランスが崩れると V_{out} の電圧は低くなる

- $V_{out} = V_{dd}/2$ にするため, バランスを取り戻そうとするとNMOSが弱くなるように V_{GSN} を小さくすれば良い

- すなわち $V_{th(inv)}' < V_{th(inv)}$ となり論理しきい値電圧は低くなる



$$I_{DSN} = \frac{1}{2} \beta_n (V_{GSN} - V_{TN})^2$$

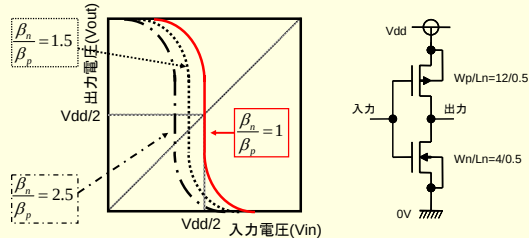
12

論理しきい値電圧の制御(2)

- トランジスタの利得 β に差があると下図のようになる

$$V_{th}(inv) = \frac{V_{dd} - |V_{TP}| + V_{TN} \sqrt{\beta_n/\beta_p}}{1 + \sqrt{\beta_n/\beta_p}}$$

- NMOSTランジスタの利得が大きいと論理しきい値電圧は低くなる



13

練習問題回答

- $V_{dd}=5V$, $V_{TN}=1V$, $V_{TP}=-1.2V$, $\beta_n=100 \mu A/V^2$, $\beta_p=100 \mu A/V^2$ を式に代入

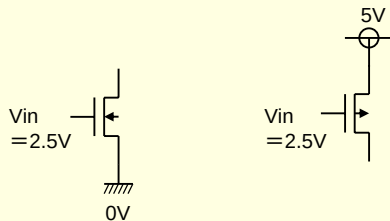
$$V_{th}(inv) = \frac{V_{dd} - |V_{TP}| + V_{TN} \sqrt{\beta_n/\beta_p}}{1 + \sqrt{\beta_n/\beta_p}} = \frac{5 - |-1.2| + 1 \sqrt{1/1}}{1 + \sqrt{1/1}} = 2.4$$

$$V_{th}(inv)=2.4V$$

14

インバータしきい値近傍の動作解析(1)

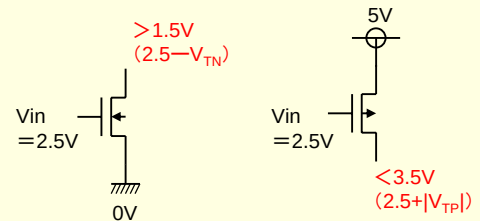
- NMOS,PMOSTランジスタともに飽和領域で動作している限り, ドレイン電圧に依存せず電流は一定(飽和動作条件は下記)



15

インバータしきい値近傍の動作解析(1)

- NMOS,PMOSTランジスタともに飽和領域で動作している限り, ドレイン電圧に依存せず電流は一定(飽和動作条件は下記)



- $V_{in}=V_{th}(inv)=V_{dd}/2=2.5V$ での飽和領域の動作条件は

$$\frac{V_{dd}}{2} - V_{TN} = 1.5V < V_{out} < \frac{V_{dd}}{2} + |V_{TP}| = 3.5V$$

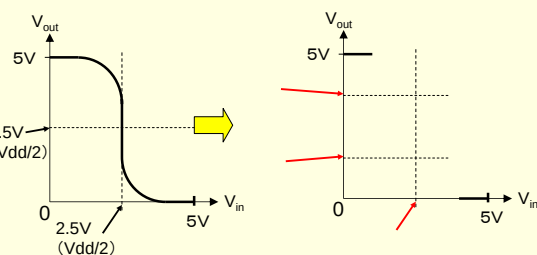
- ⇒ $V_{in}=V_{dd}/2$ に対して, 出力 V_{out} は上記の範囲の値をとる

16

インバータしきい値近傍の解析(2)

- 入力電圧が $V_{dd}/2=2.5V$ の時, 出力電圧 V_{out} は下記の範囲で変化することから下の伝達特性となる

$$\frac{V_{dd}}{2} - V_{TN} = 1.5V < V_{out} < \frac{V_{dd}}{2} + |V_{TP}| = 3.5V$$

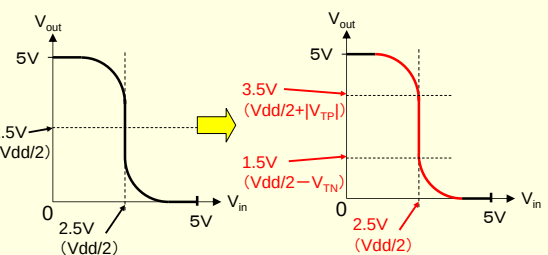


17

インバータしきい値近傍の解析(2)

- 入力電圧が $V_{dd}/2=2.5V$ の時, 出力電圧 V_{out} は下記の範囲で変化することから下の伝達特性となる

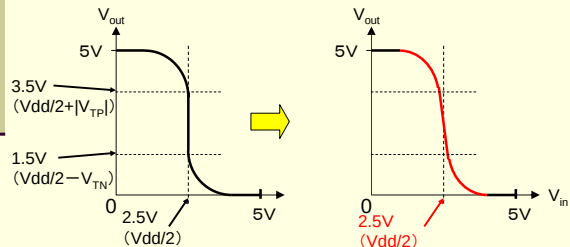
$$\frac{V_{dd}}{2} - V_{TN} = 1.5V < V_{out} < \frac{V_{dd}}{2} + |V_{TP}| = 3.5V$$



18

インバータしきい値近傍の解析(3)

- ただし、現実のトランジスタは**チャネル長変調効果**のため飽和領域においても、ドレイン電圧に依存してドレイン電流が変化する
- これにより、伝達特性においても、出力電圧 V_{out} は入力電圧 V_{in} に依存して以下のように変化する



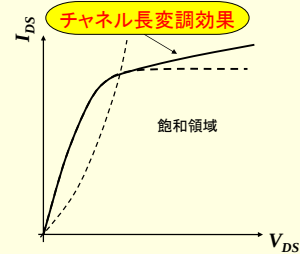
19

チャネル長変調効果

- チャネル長変調効果の定式化

$$I_{DS} = \beta_n \left[\frac{1}{2} (V_G - V_T)^2 \right] (1 + \lambda V_D)$$

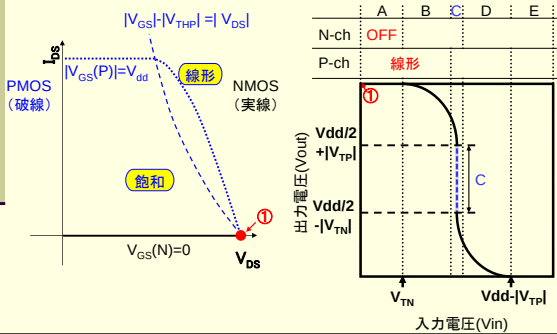
λ をチャネル長変調効果係数とよぶ



20

DC伝達特性におけるトランジスタ動作領域①

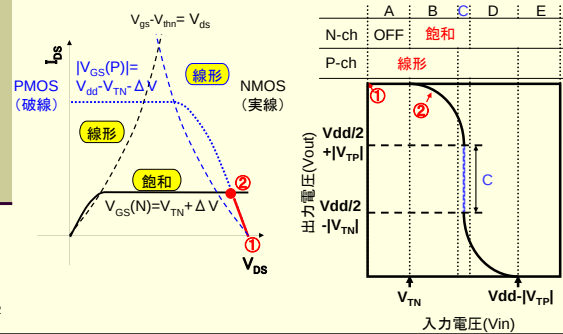
- N-ch Tr: $V_{GS} = 0 < V_{TN}$: OFF
- P-ch Tr: $|V_{GS}| = V_{dd} > |V_{TP}|$, $|V_{DS}| = 0 < |V_{GS}| - |V_{TP}|$: 線形



21

DC伝達特性におけるトランジスタ動作領域②

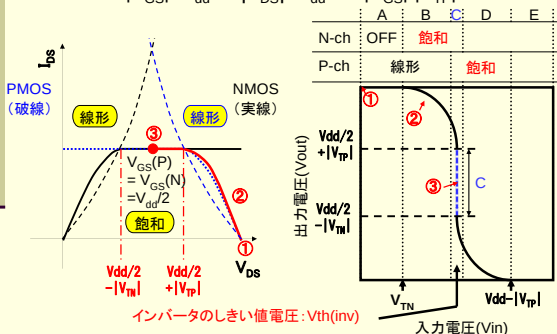
- N-ch Tr: $V_{GS} = V_{TN} + \Delta V > V_{TN}$, $V_{DS} \sim V_{dd} > V_{GS} - V_{TN}$: 飽和
- P-ch Tr: $|V_{GS}| = V_{dd} - V_{TN} - \Delta V$, $|V_{DS}| \sim 0 < |V_{GS}| - |V_{TP}|$: 線形



22

DC伝達特性におけるトランジスタ動作領域③

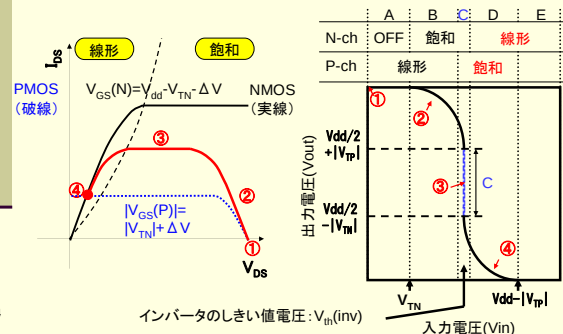
- N-ch Tr: $V_{GS} = V_{dd}/2$, $V_{DS} = V_{dd}/2 > V_{GS} - V_{TN}$: 飽和
- P-ch Tr: $|V_{GS}| = V_{dd}/2$, $|V_{DS}| = V_{dd}/2 > |V_{GS}| - |V_{TP}|$: 飽和



23

DC伝達特性におけるトランジスタ動作領域④

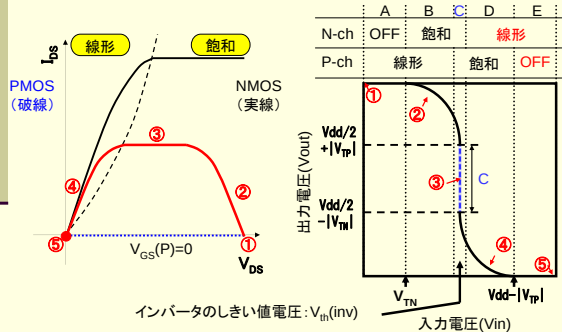
- N-ch Tr: $V_{GS} = V_{dd} > V_{TN}$, $V_{DS} \sim 0 < V_{GS} - V_{TN}$: 線形
- P-ch Tr: $|V_{GS}| = |V_{TP}| + \Delta V$, $V_{DS} \sim V_{dd} > |V_{GS}| - |V_{TP}|$: 飽和



24

DC伝達特性におけるトランジスタ動作領域⑤

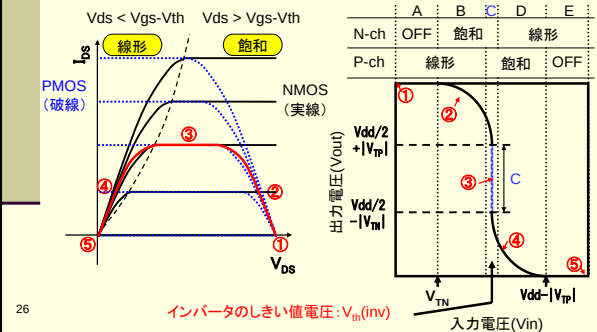
- N-ch Tr: $V_{GS} = V_{dd} > V_{TP}$, $V_{ds} = 0 < V_{GS} - V_{TN}$: 線形
- P-ch Tr: $|V_{GS}| = 0 < |V_{TP}|$: OFF



25

DC伝達特性におけるトランジスタ動作領域

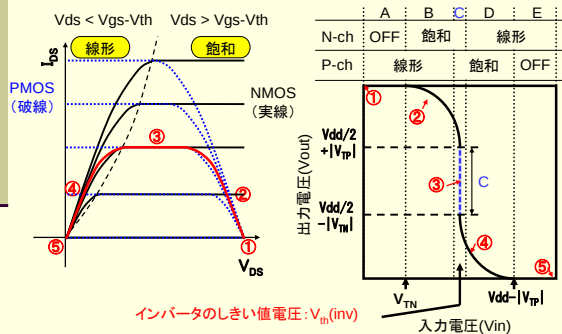
- インバータのしきい値電圧近傍 (C) では両Tr.とも飽和



26

DC伝達特性におけるトランジスタ動作領域

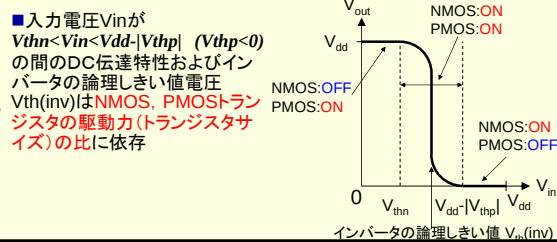
- インバータのしきい値電圧近傍 (C) では両Tr.とも飽和



27

実際のインバータの伝達特性

- 実際には $V_{in} = V_{dd}/2$ において,
 - $V_{GS}(NMOS) = V_{dd}/2 > V_{thn} \Rightarrow NMOS: ON$
 - $V_{GS}(PMOS) = V_{dd}/2 - V_{dd} = -V_{dd}/2 < V_{thp} \Rightarrow PMOS: ON$
- P, N両方のトランジスタが両方ONしているため, それらのトランジスタの駆動できる電流の差(カ関係)で出力は V_{dd} と $0V$ の中間の電圧をとる.



28

実際のインバータの伝達特性(1)

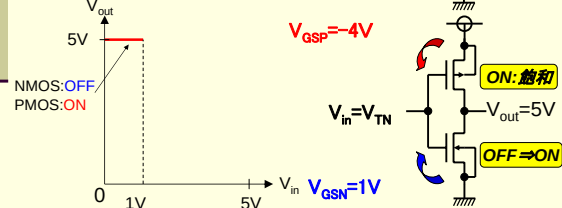
- $V_{TN} < V_{in} < V_{dd}/2$

- NMOS: OFF
- PMOS: ON (飽和 $\Rightarrow$ 線形)

$$|V_{DS}| \approx 0V < |V_{GSP}| - |V_{TP}|$$

- $V_{in} = V_{TN} = 1V$

- NMOSが OFF $\Rightarrow$ ON (飽和)
- PMOSは 線形で ON



29

実際のインバータの伝達特性(1)

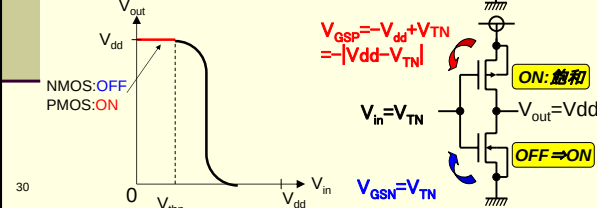
- $V_{TN} < V_{in} < V_{dd}/2$

- NMOS: 飽和で ON
- PMOS: ON (飽和 $\Rightarrow$ 線形)

$$|V_{DS}| = V_{dd} > |V_{GSP}| - |V_{TP}|$$

- $V_{in} = V_{TN}$

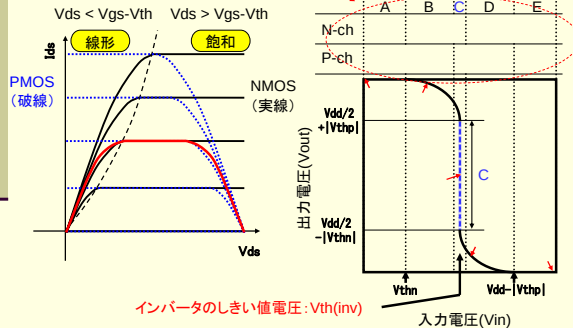
- NMOSが OFF $\Rightarrow$ ON
- PMOSは 飽和で ON



30

DC伝達特性におけるトランジスタ動作領域

■それぞれの領域でのトランジスタの動作条件

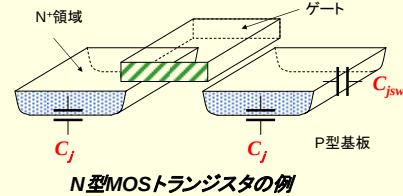


31

トランジスタのソースドレイン寄生容量

■ソースドレインにはPN接合が存在しており、接合の面積および周囲長に依存して寄生容量となる

- C_j : 電極底面の単位面積当たりのPN接合容量[F/m²]
- C_{jsw} : 電極周囲の単位長当たりのPN接合容量[F/m]



N型MOSトランジスタの例

32

教科書では C_j を C_{depA} 、 C_{jsw} を C_{depS} と書いているので注意!

PN接合容量電圧依存性(教科書p.33)

- PN接合が作成されていると空乏層容量 C_{dep} がある
⇒ソースドレイン電極には寄生容量がある
- C_j にはPN接合に印加されている接合電圧 V_D の依存性がある。 $V_D=0V$ のときの容量を C_{j0} とすると

$$C_j = C_{j0} \cdot \frac{1}{\sqrt{1 - V_D/V_{bi}}} \quad \text{教科書(2・8)式}$$

- ・ V_D はP型端子が+の場合(順方向)の電圧
 V_{bi} はビルトイン電圧である。
- ・ 通常のMOSTランジスタ動作条件では $V_D < 0V$ (逆方向方向電圧を印加)なので $C_j < C_{j0}$ である

*教科書は $C_j=C_{dep}$, $V_D=V_i$, $V_{bi}=\phi_B$ になっているので注意

33

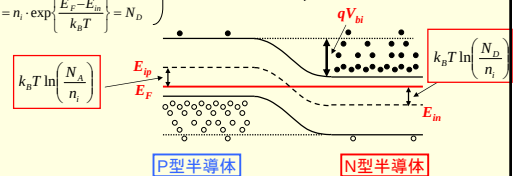
ビルトイン電圧 V_{bi} の導出(復習)

■ P型領域では

$$E_F - E_F = k_B T \ln \left(\frac{N_A}{n_i} \right) \quad \left\{ \begin{array}{l} q \cdot V_{bi} = E_F - E_{in} \\ = k_B T \ln \left(\frac{N_A}{n_i} \right) + k_B T \ln \left(\frac{N_D}{n_i} \right) = k_B T \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \end{array} \right.$$

■ N型領域では

$$E_F - E_{in} = k_B T \ln \left(\frac{N_D}{n_i} \right) \quad \left\{ \begin{array}{l} V_{bi} = \frac{k_B T}{q} \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \\ n_i = 1.5 \times 10^{16} [m^{-3}] \end{array} \right.$$

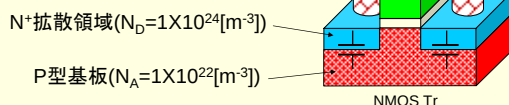


34

解説(教科書p.33参考)

- アクセプタ密度 $N_A=1 \times 10^{22} [m^{-3}]$ のP型Siとドナー密度 $N_D=1 \times 10^{24} [m^{-3}]$ のN型SiのPN接合におけるビルトインポテンシャル V_{bi} を求めよ。

$$V_{bi} = \frac{k_B T}{q} \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) = 0.026 \times \ln \left(\frac{1 \times 10^{22} \times 1 \times 10^{24}}{(1.5 \times 10^{16})^2} \right) = 0.026 \times 31.4 = 0.82 [V]$$

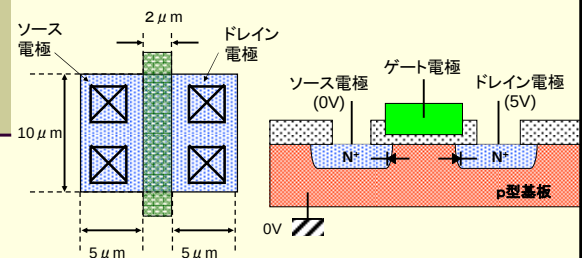


35

練習1

- 下図に示したN型MOSTランジスタのソース寄生容量 C_{sb} およびドレイン寄生容量 C_{db} を求めなさい

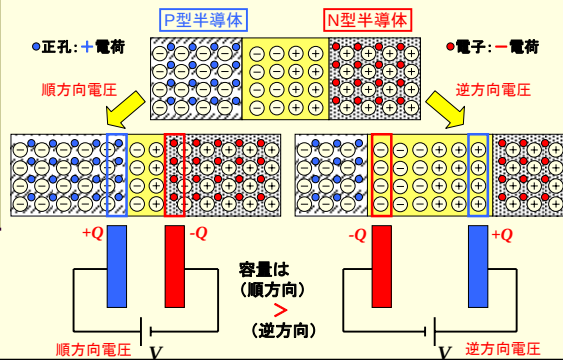
- $C_j=0.6 \times 10^{-3} [F/m^2]$, $C_{jsw}=0.4 \times 10^{-11} [F/m]$ とする
- ソース電圧は0V, ドレイン電圧は5V, ビルトイン電圧 V_{bi} は0.625Vとする



36

電圧印加時の空乏層におけるPN接合容量変化

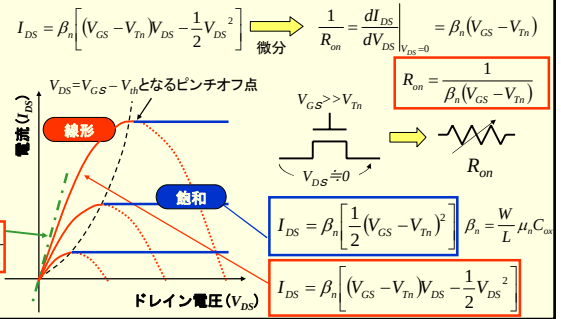
- PN接合容量 (C_d) の変化 (P: +, N: - が順方向)
順方向: C_d は **大きく** 逆方向: C_d は **小さく**



37

トランジスタのON抵抗

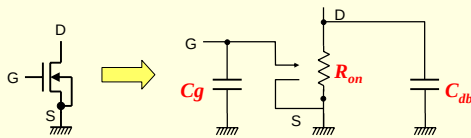
- N型トランジスタが**線形領域** ($V_{DS} < V_{GS} - V_{Th}$) で動作している場合 (ゲート電圧 V_{GS} が高く、トランジスタがしっかりONしているのに、ソースドレイン間電圧 V_{DS} は小さい) ではゲート電圧 V_{GS} で制御できる**可変抵抗**とみなせる



38

トランジスタの簡易回路モデル

- トランジスタを等価回路で表現する (教科書 p.43)
- 入力側容量 $\Rightarrow$ ゲート容量 C_g
- 出力容量 $\Rightarrow$ ドレイン容量 C_{db}
- 抵抗 $\Rightarrow$ トランジスタON抵抗 R_{on}



39