

集積デバイス工学(9)

CMOS回路の構成法(1)

VLSIセンター 藤野 毅

1

NMOSおよびPMOSTランジスタ記号

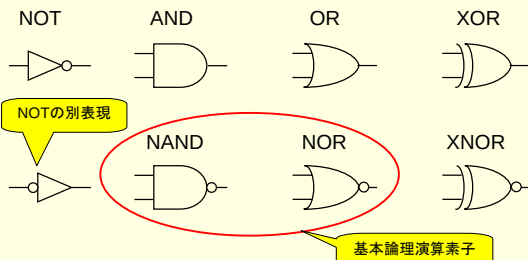
- 通常のデジタル論理では3端子モデルを使うことが多いが、アナログ回路では**基板端子**を含む4端子モデルを使うことが多い

	3端子モデル	4端子モデル
NMOS	 基板はGND電位	 基板はGND電位
PMOS	 基板はVdd電位	 基板はVdd電位

2

論理関数を実現する論理ゲート(MIL記号)

- 論理回路図中では以下のMIL(military standard)記号が使用される。



3

主要論理のMIL記号と真理値表

- MIL記号と真理値表

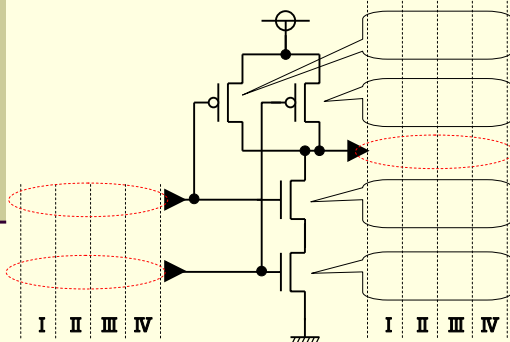
基本論理演算素子

	AND	OR	NAND	NOR	XOR
0 0	0	0	1	1	0
0 1	0	1	1	0	1
1 0	0	1	1	0	1
1 1	1	1	0	0	0

4

CMOS回路で構成したNAND論理ゲート

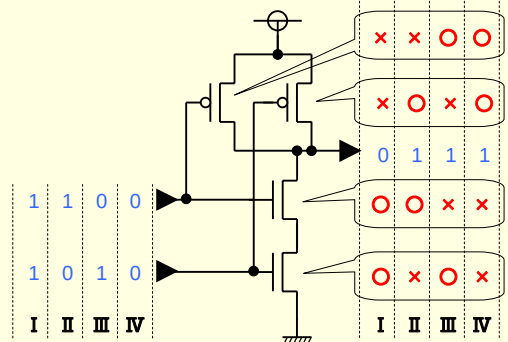
- NMOSを[], PMOSを[]に接続



5

CMOS回路で構成したNAND論理ゲート

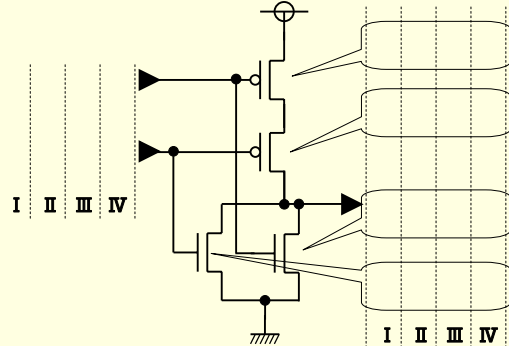
- NMOSを**直列**, PMOSを**並列**に接続



6

CMOS回路で構成したNOR論理ゲート

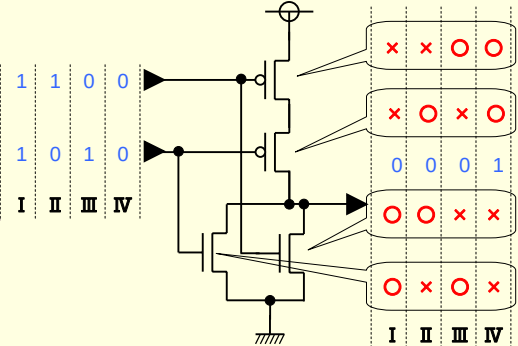
- NMOSを並列, PMOSを直列に接続



7

CMOS回路で構成したNOR論理ゲート

- NMOSを並列, PMOSを直列に接続

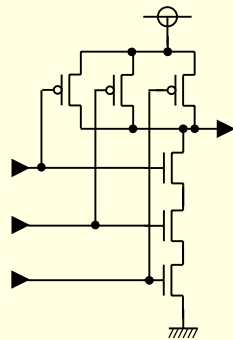


8

CMOS回路で構成した3入力NAND論理ゲート

- 3入力NAND

- NMOSを直列に3個
- PMOSを並列に3個接続

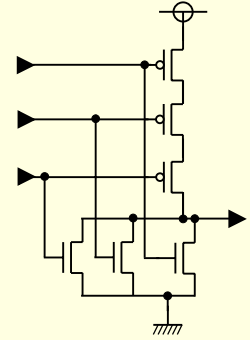


9

CMOS回路で構成した3入力NOR論理ゲート

- 3入力NOR

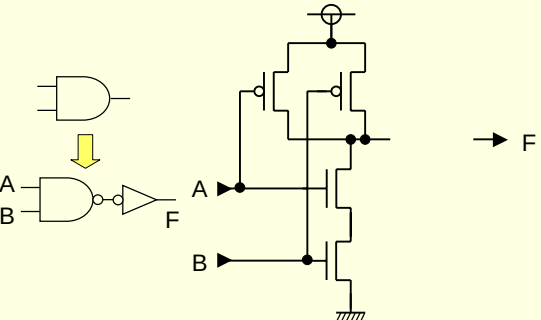
- NMOSを並列に3個
- PMOSを直列に3個接続



10

AND論理ゲート実現方法

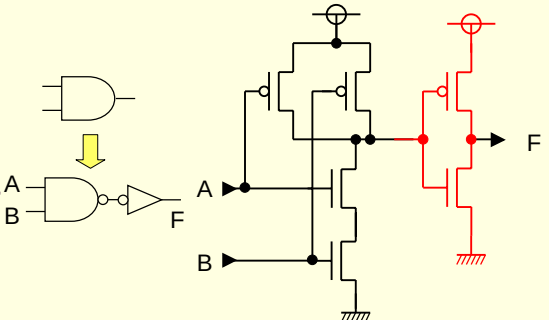
- AND論理ゲートはNAND論理ゲートとNOT論理ゲートを組み合わせて実現する。すなわちAND論理ゲートよりもNAND論理ゲートの方が面積も小さく、高速に動作する。



11

AND論理ゲート実現方法

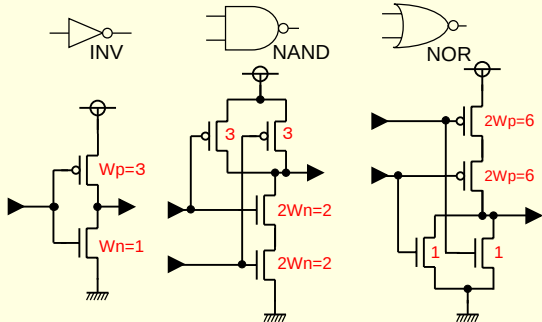
- AND論理ゲートはNAND論理ゲートとNOT論理ゲートを組み合わせて実現する。すなわちAND論理ゲートよりもNAND論理ゲートの方が面積も小さく、高速に動作する。



12

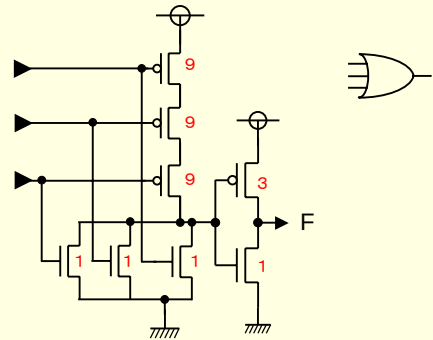
論理ゲートのトランジスタサイズの決定

- NANDやNORで立ち下がり時間、立ち上がり時間を等しくするためには、直列に接続されたトランジスタのゲート幅をインバータの場合の直列接続数倍にする必要がある



13

【問題1】3入力OR論理ゲートの回路図

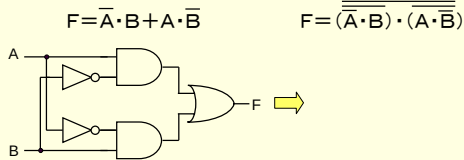


14

基本回路で構成したEXOR

- 論理式にしたがって組み合わせる
- 回路を簡単化 (ド・モルガンを使用)

	EXOR
0 0	0
0 1	1
1 0	1
1 1	0



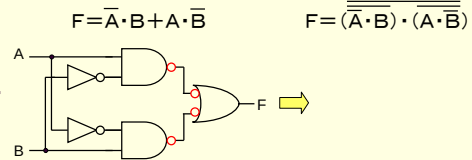
NMOSトランジスタ⇒ 個
PMOSトランジスタ⇒ 個

15

基本回路で構成したEXOR

- 論理式にしたがって組み合わせる
- 回路を簡単化 (ド・モルガンを使用)

	EXOR
0 0	0
0 1	1
1 0	1
1 1	0

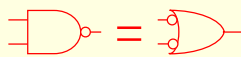


NMOSトランジスタ⇒ 8個
PMOSトランジスタ⇒ 8個

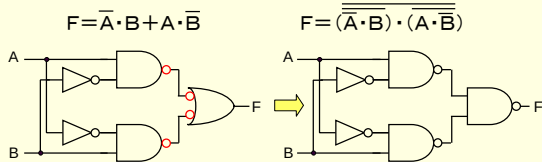
16

基本回路で構成したEXOR

- 論理式にしたがって組み合わせる
- 回路を簡単化 (ド・モルガンを使用)



	EXOR
0 0	0
0 1	1
1 0	1
1 1	0



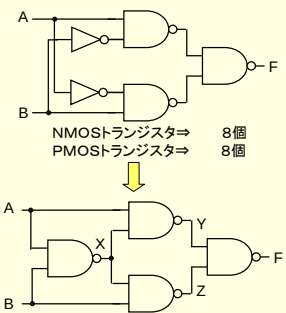
NMOSトランジスタ⇒ 8個
PMOSトランジスタ⇒ 8個

17

NAND回路で構成したEXOR (参考)

- トランジスタ数は変わらないので、LSIでは使用しませんが... だれかがこんな回路を考えました

A	B	X	Y	Z	F
0	0				0
0	1				1
1	0				1
1	1				0



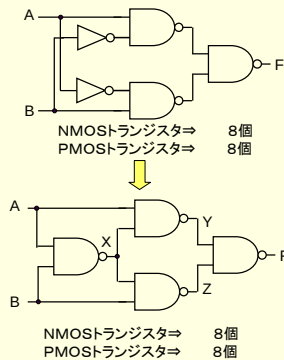
NMOSトランジスタ⇒ 8個
PMOSトランジスタ⇒ 8個

18

NAND回路で構成したEXOR(参考)

- あまり、LSI化には関係ないですが・・・
だれかがこんな回路を
考えました

A	B	X	Y	Z	F
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	0

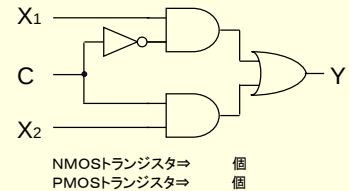


19

基本回路で構成したマルチプレクサ

- セレクタとも呼ばれ、複数のデータの中から条件によって
1つのデータを選択する回路
- Cが0のときY=X₁, Cが1のときY=X₂
⇒ $Y = \overline{C} \cdot X_1 + C \cdot X_2$

C	X ₂	X ₁	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

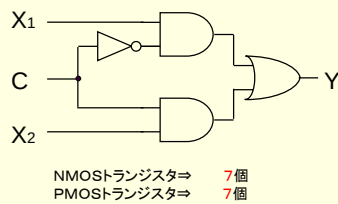


20

マルチプレクサ

- セレクタとも呼ばれ、複数のデータの中から条件によって
1つのデータを選択する回路
- Cが0のときY=X₁, Cが1のときY=X₂
⇒ $Y = \overline{C} \cdot X_1 + C \cdot X_2$

C	X ₂	X ₁	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



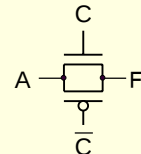
21

トランSMissionゲート(相補型)

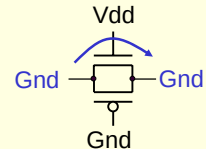
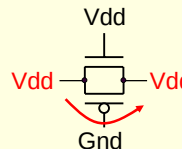
- PMOSとNMOSを並列に配置するとトランSMission
ゲートができる

C	F
0	Z
1	A

ハインピーダンスと
いい出力が固定され
ないことを示す。



- VddデータはPMOS, GndデータはNMOSがデータを転送.

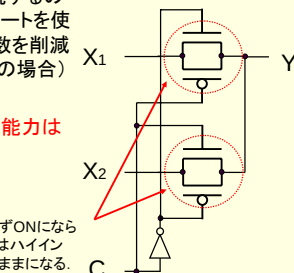


22

トランSMissionゲートで構成したマルチプレクサ

- マルチプレクサを実現するの
にトランSMissionゲートを使
用するとトランジスタ数を削減
できる。(特に多入力の場合)
 $Y = \overline{C} \cdot X_1 + C \cdot X_2$
- ただし、出力Yの駆動能力は
低いので注意する

どちらかが必ずONになら
ないと出力Yはハイン
ピーダンスのままになる。



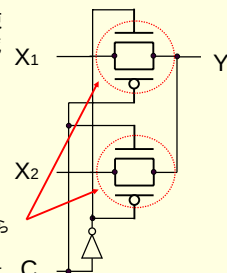
NMOSトランジスタ⇒ 3個
PMOSトランジスタ⇒ 3個

23

トランSMissionゲートで構成したマルチプレクサ

- マルチプレクサを実現するの
にトランSMissionゲートを使
用するとトランジスタ数を削減
できる。(特に多入力の場合)
 $Y = \overline{C} \cdot X_1 + C \cdot X_2$
- ただし、出力Yの駆動能力は
低いので注意する

どちらかが必ずONになら
ないと出力Yはハイン
ピーダンスのままになる。

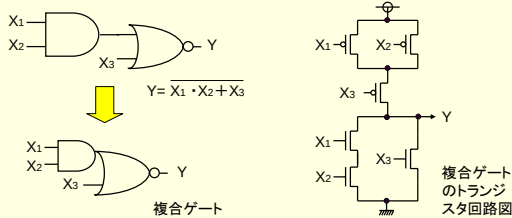


NMOSトランジスタ⇒ 3個
PMOSトランジスタ⇒ 3個

24

複合ゲート

- 下図のような積和型演算等の、いくつかの論理ゲートを組み合わせた論理を実現するのに、複合ゲートを使用する方法がある。
- 一般に、複合ゲートの方がスイッチングに要する遅延が少なく、レイアウト面積を小さくできる。



複合ゲートの構成方法

- 構成する論理の否定で放電パスを構成

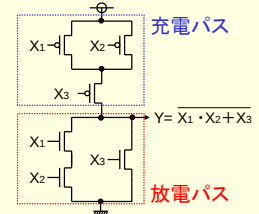
$$Y = X_1 \cdot X_2 + X_3 = X_1 \cdot X_2 + X_3$$

$$\Rightarrow X_1 \text{ と } X_2 \text{ を直列にしてそれに並列に } X_3 \text{ の NMOS を形成}$$
- 充電パスと放電パスは相補的に動作しなければならない

$$Y = \overline{X_1 \cdot X_2 + X_3}$$

$$= (\overline{X_1} + \overline{X_2}) \cdot \overline{X_3}$$

$$\Rightarrow X_1 \text{ と } X_2 \text{ を並列にしてそれに直列に } X_3 \text{ の PMOS を形成}$$



練習問題2

■ OAI複合ゲート

