

## 集積デバイス工学(10)

### CMOS回路の構成法(2)

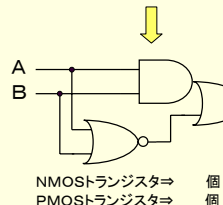
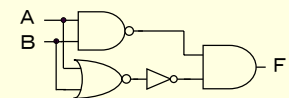
VLSIセンター 藤野 毅

1

## 複合ゲートを用いたEXOR回路

- 複合ゲートを用いるとトランジスタ数を削減できる
  - NANDからNORを引くと考える
  - 引き算は反転とのAND

|     | NAND | NOR | EXOR |
|-----|------|-----|------|
| 0 0 | 1    | 1   | 0    |
| 0 1 | 1    | 0   | 1    |
| 1 0 | 1    | 0   | 1    |
| 1 1 | 0    | 0   | 0    |



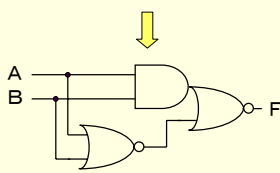
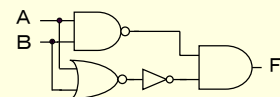
NMOSトランジスタ⇒ 個  
PMOSトランジスタ⇒ 個

2

## 複合ゲートを用いたEXOR回路

- 複合ゲートを用いるとトランジスタ数を削減できる
  - NANDからNORを引くと考える
  - 引き算は反転とのAND

|     | NAND | NOR | EXOR |
|-----|------|-----|------|
| 0 0 | 1    | 1   | 0    |
| 0 1 | 1    | 0   | 1    |
| 1 0 | 1    | 0   | 1    |
| 1 1 | 0    | 0   | 0    |



NMOSトランジスタ⇒ 5個  
PMOSトランジスタ⇒ 5個

3

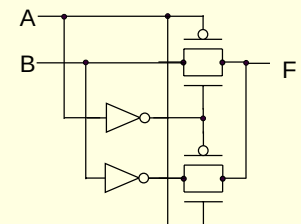
## トランスミッションゲートを用いたEXOR回路

- トランスミッションゲートを用いるとトランジスタ数を削減できる

$$F = \bar{A} \cdot B + A \cdot \bar{B}$$

$$\begin{cases} \text{if}(A=0) F=B \\ \text{if}(A=1) F=\bar{B} \end{cases}$$

NMOSトランジスタ⇒ 個  
PMOSトランジスタ⇒ 個



4

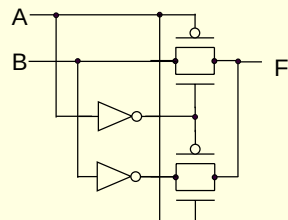
## トランスミッションゲートを用いたEXOR回路

- トランスミッションゲートを用いるとトランジスタ数を削減できる

$$F = \bar{A} \cdot B + A \cdot \bar{B}$$

$$\begin{cases} \text{if}(A=0) F=B \\ \text{if}(A=1) F=\bar{B} \end{cases}$$

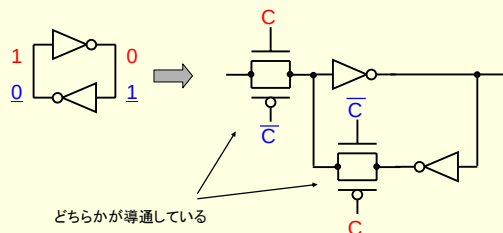
NMOSトランジスタ⇒ 4個  
PMOSトランジスタ⇒ 4個



5

## 記憶素子⇒Dラッチ

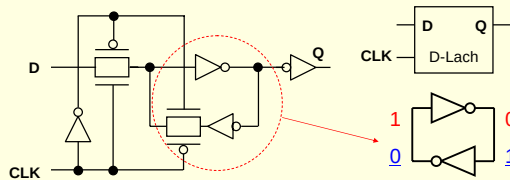
- インバータ2段の記憶素子を制御可能にしたものがDラッチ



6

## D-ラッチ

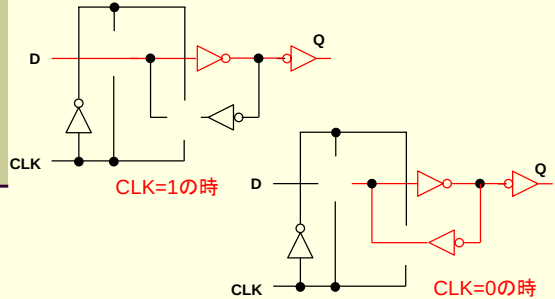
- インバータ2段の記憶素子を制御可能にしたものがDラッチ
  - CLK=1の期間: 入力Dが出力Qにそのまま出力
  - CLK=0の期間: 入力Dが0になる直前の入力を保持して出力
- レベルセンシティブラッチともいう



7

## D-ラッチの動作

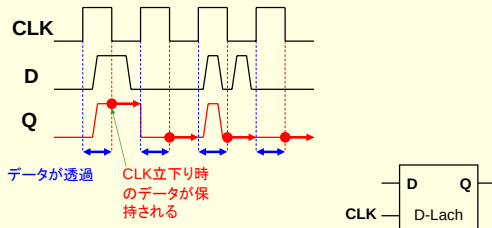
- 回路動作(トランジションゲートをスイッチとして考える)
  - ① CLK=1の期間: インバータ2段(バッファ)と考える
  - ② CLK=0の期間: 記憶回路と考える



8

## D-ラッチの動作波形

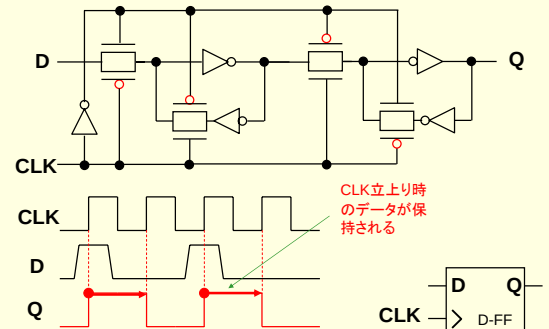
- 回路動作(トランジションゲートをスイッチとして考える)
  - ① CLK=1の期間: インバータ2段(バッファ)と考える
  - ② CLK=0の期間: 記憶回路と考える



9

## D-FF(フリップフロップ)

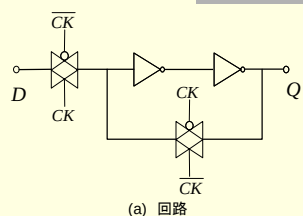
- CLKの立ち上がりの瞬間のデータDの値を読み込み、次の立ち上がりエッジまでの間出力が維持される。



10

## D-ラッチのタイミング図

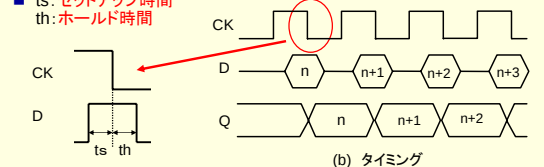
- CK=1の間はデータは透過
- CK=0の間はデータを保持



11

## D-FFのタイミング図

- CKが立ち下がった瞬間のデータを一周期のデータを一周期保持する
- クロックの立下りタイミングのts時間前にデータが確定され、立下り後のth時間データが保持されていなくてはならない
- ts: セットアップ時間  
th: ホールド時間



12

図5.6 ファンイン(F.I.)・ファンアウト(F.O.)

- ファンイン (Fan-In, F.I.): ひとつの論理ゲートに入力される信号本数
- ファンアウト (Fan-Out, F.O.): ひとつの論理ゲートの出力から接続されている次段の論理ゲート数
- ファンアウト数が増加すると、負荷容量 $C_L$ が大きくなるので遅延時間が増大する

