

電子情報デザイン入門

電子情報デザイン学科紹介: LSI概要

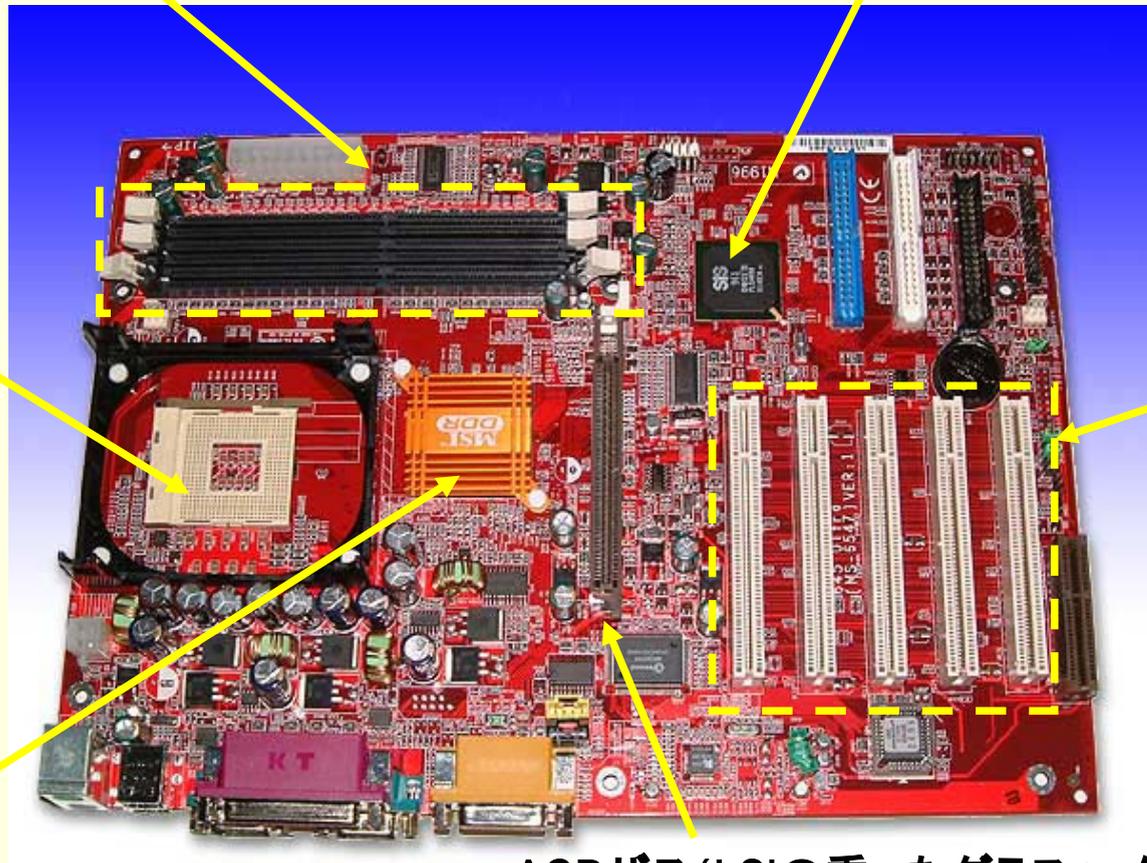
LSIはどこに入っているか？

■ たとえばパソコンのマザーボードの場合

メモリバス(DRAMモジュール) IOブリッジ

CPUソケット
(CPU)

メモリブリッジ



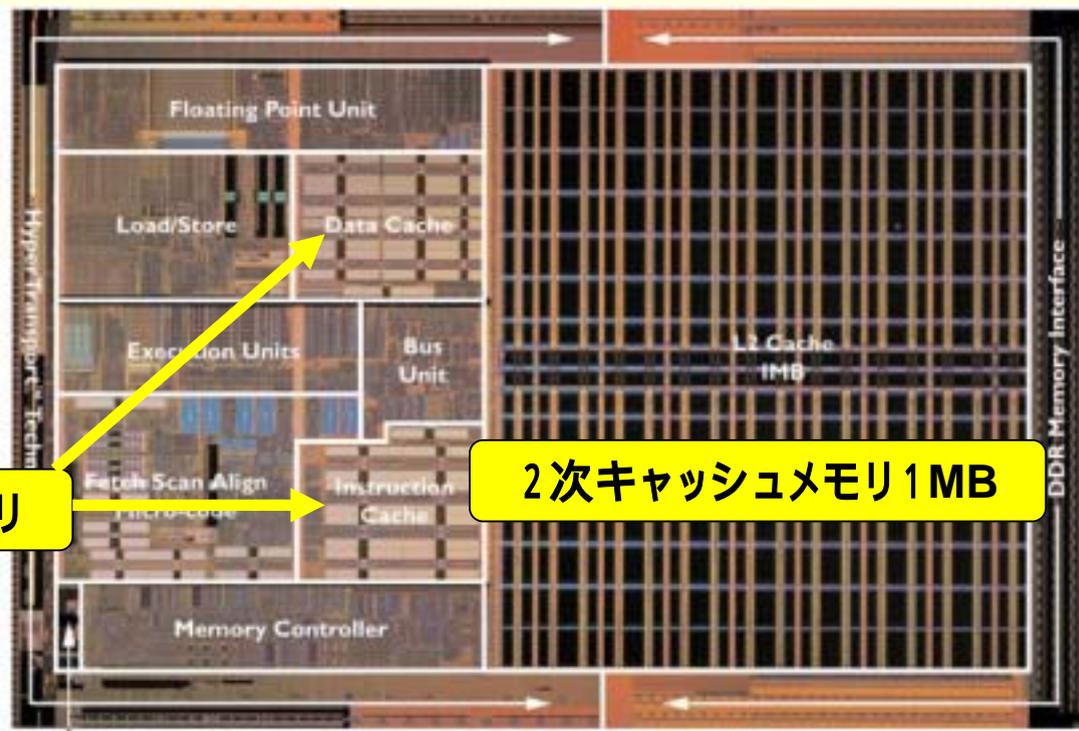
PCIバス

AGPバス(LSIの乗ったグラフィックカード)

CPUの写真

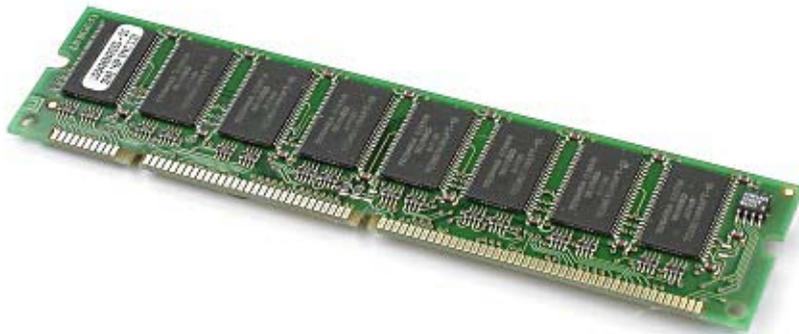
AMD Athron64

- ・0.13 μm ルール
- ・トランジスター数
1億500万
- ・ダイサイズ
193平方mm

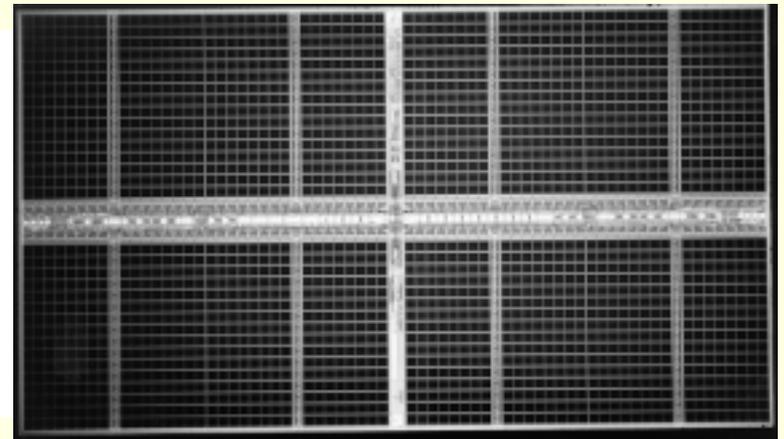


DRAMモジュール(メインメモリ)

- コンピュータの主記憶として,プログラムやデータなどを記憶
- SRAMより安価なDRAMが使用されている
- 様々なメモリインターフェースがある
 - SDRAM(シンクロナスDRAM)
 - DDR-SDRAM(ダブルデータレートSDRAM)
 - RDRAM(ラムバスDRAM)



メモリモジュール(168ピンDIMM)



256MbitDRAM(プロトタイプ)チップ写真
三菱電機技術報告1998年3月号より引用

グラフィックカード

ASUSV8170 DDR/T

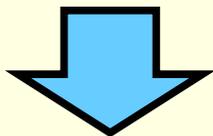
- ・NVIDIA® GeForce 4 MX 440
- ・高速64MB DDR ビデオメモリ
- ・6.4 GB/秒バンド幅



LSIの集積規模の発展

= 規模(集積度)による分類 =

- | | |
|---|----------------|
| ■ SSI (Small Scale Integration) | 100素子以下 |
| ■ MSI (Middle Scale Integration) | 100 ~ 1,000素子 |
| ■ LSI (Large Scale Integration) | 1,000 ~ 10万素子 |
| ■ VLSI (Very Large Scale Integration) | 10万 ~ 1,000万素子 |
| ■ ULSI (Ultra Large Scale Integration) | 1,000万素子以上 |

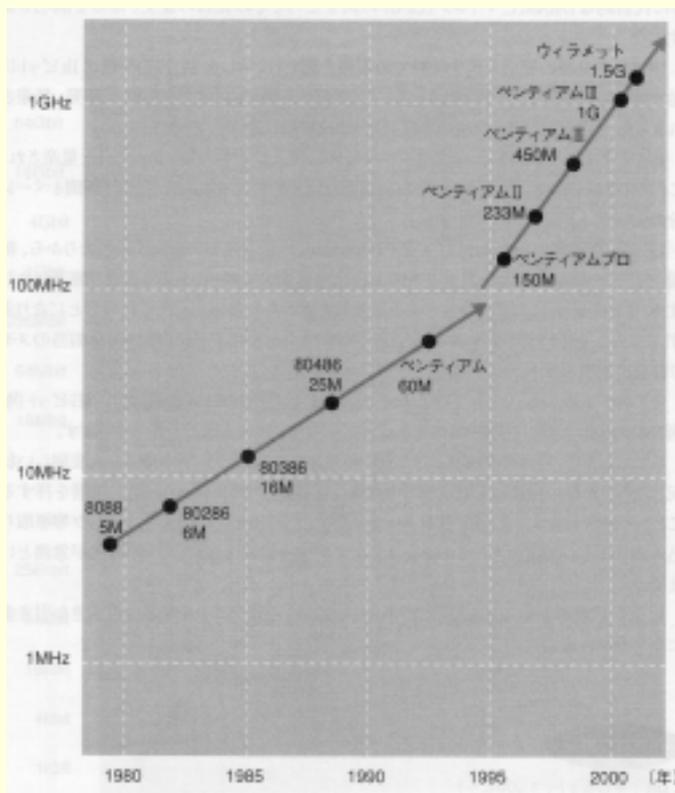


システムLSI (SoC)

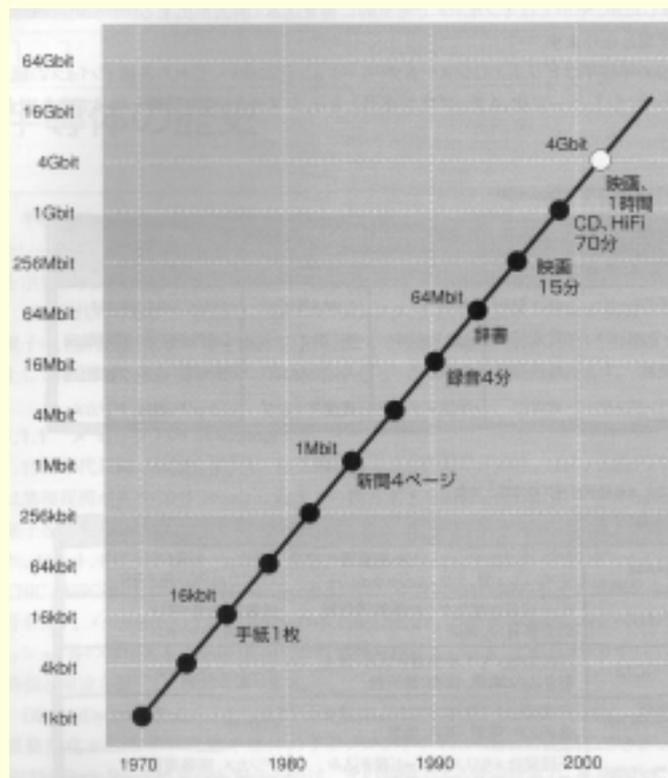
動作速度と容量の進歩

■ ムーアの法則

- Intel社の創設者の一人であるGordon Moore博士が1965年に経験則として提唱した、「半導体の集積密度は18～24ヶ月で倍増する」という法則
- 集積密度の向上により、動作速度の向上、メモリ容量の増大を実現できた



CPU動作速度



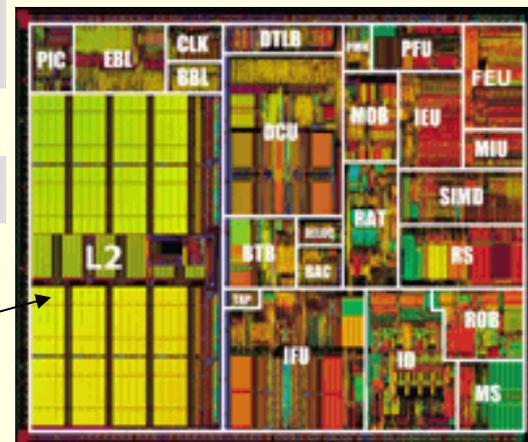
DRAM容量

集積度向上がもたらしたものの(例)

- 2次キャッシュメモリ(L2)がCPUに取り込まれた

Pentium IIの主な仕様

コアのクロック周波数	233M / 266M / 300M / 333M / 350M / 400M / 450MHz
FSBのクロック周波数	コア・クロック333MHz以下:66MHz コア・クロック350MHz以上:100MHz
1次キャッシュ	命令:16Kbytes / データ:16Kbytesの合計32Kbytesをコアに統合
2次キャッシュ	512Kbytesを外付け
製造プロセス	当初は0.35 μ m; 300MHzの途中から0.25 μ mに切り替えられた
トランジスタ数	750万個
パッケージ	S.E.C.

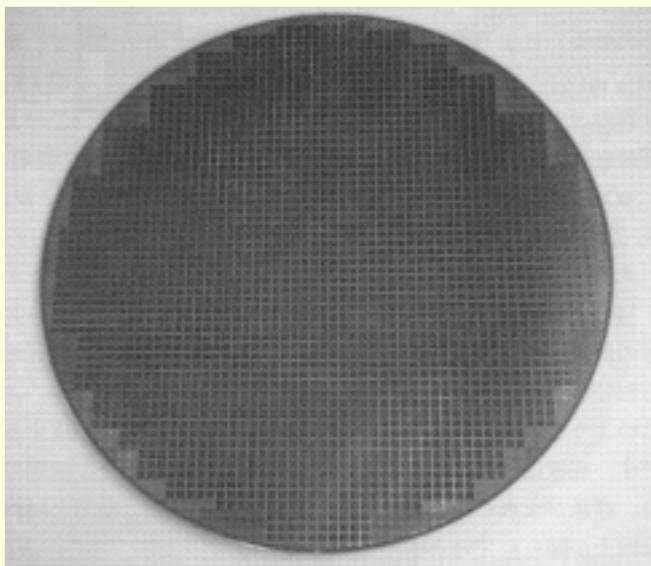


Pentium III

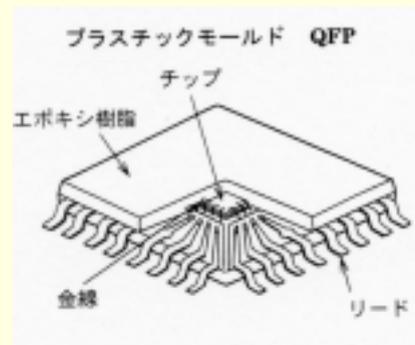
LSIのマクロな姿

■ 半導体ウエハ

- LSIは下記のように多数のチップが乗った半導体ウエハ上に多数個製造され、それぞれがパッケージに格納されて最終的な製品となる。

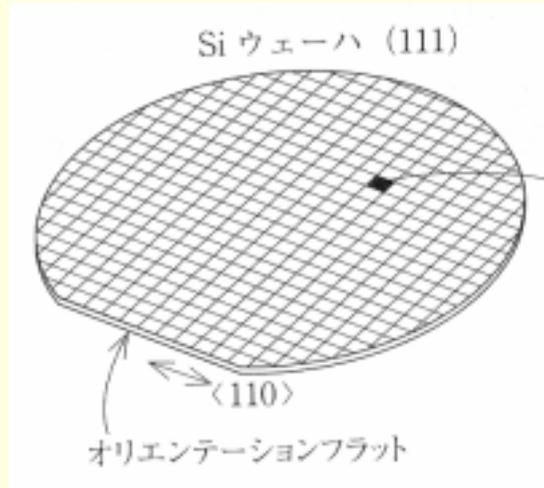


半導体ウエハ(直径300mm)



LSIパッケージの構造(上)と外観

LSIのマイクロな姿



金属配線

トランジスタ

1 μm (1cmの1万分の1)

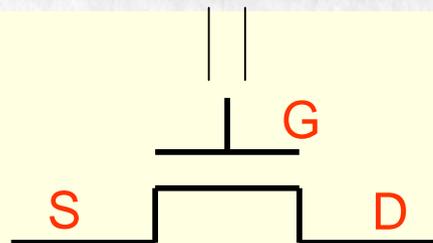
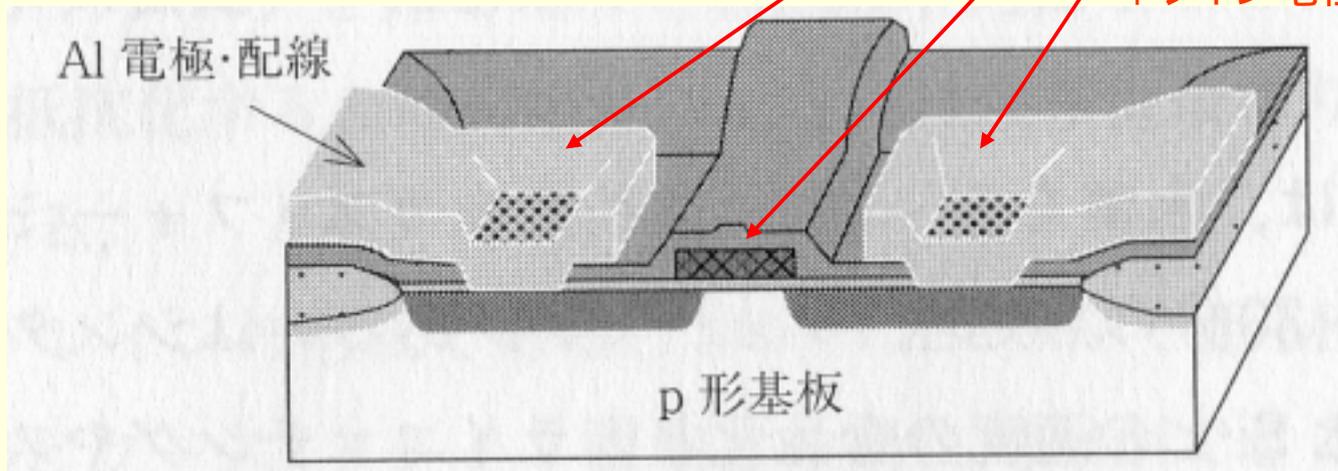
トランジスタとは？

- 下記のような構造をしている
- 3端子の素子で、ゲート電圧によって、ソースとドレインの導通を制御するスイッチと考えられる。

ソース電極(S)

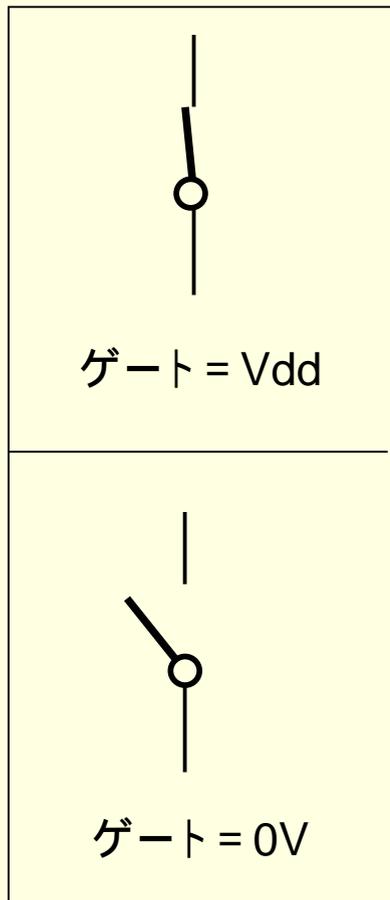
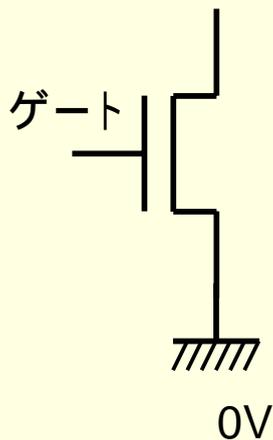
ゲート電極(G)

ドレイン電極(D)

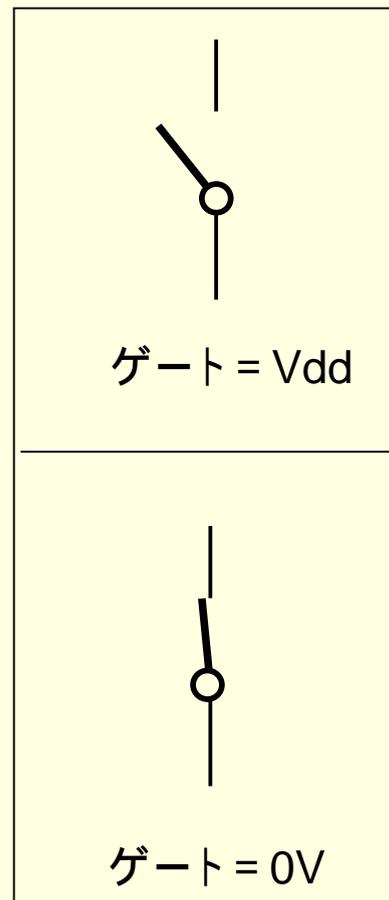
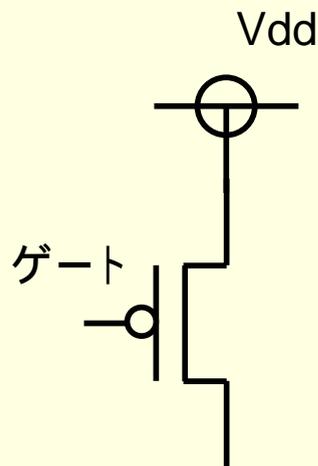


2種類のトランジスタ

■ NMOS



■ PMOS



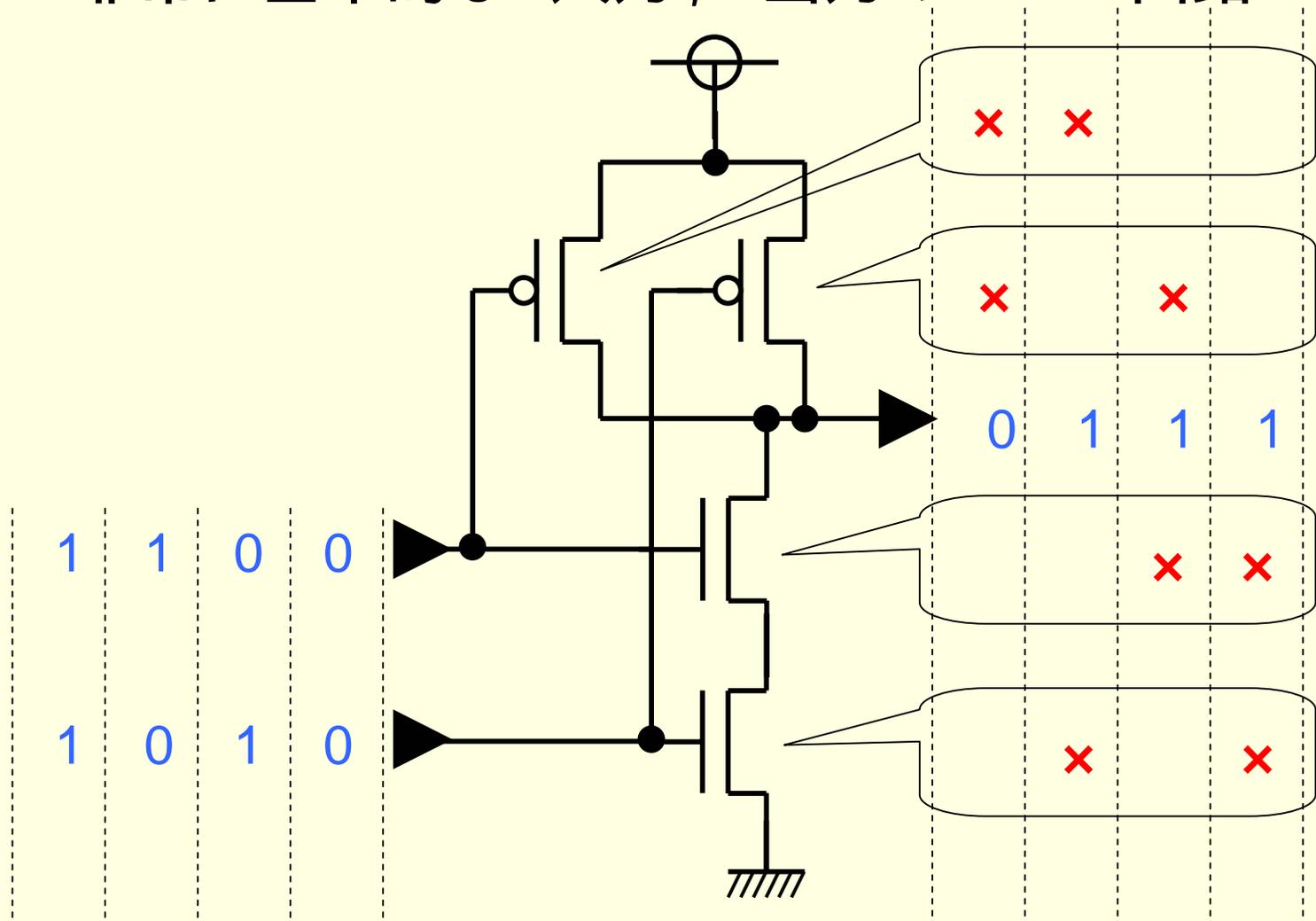
Vddは電源電圧, 0Vは基板電圧(接地電位)

2値(デジタル)論理

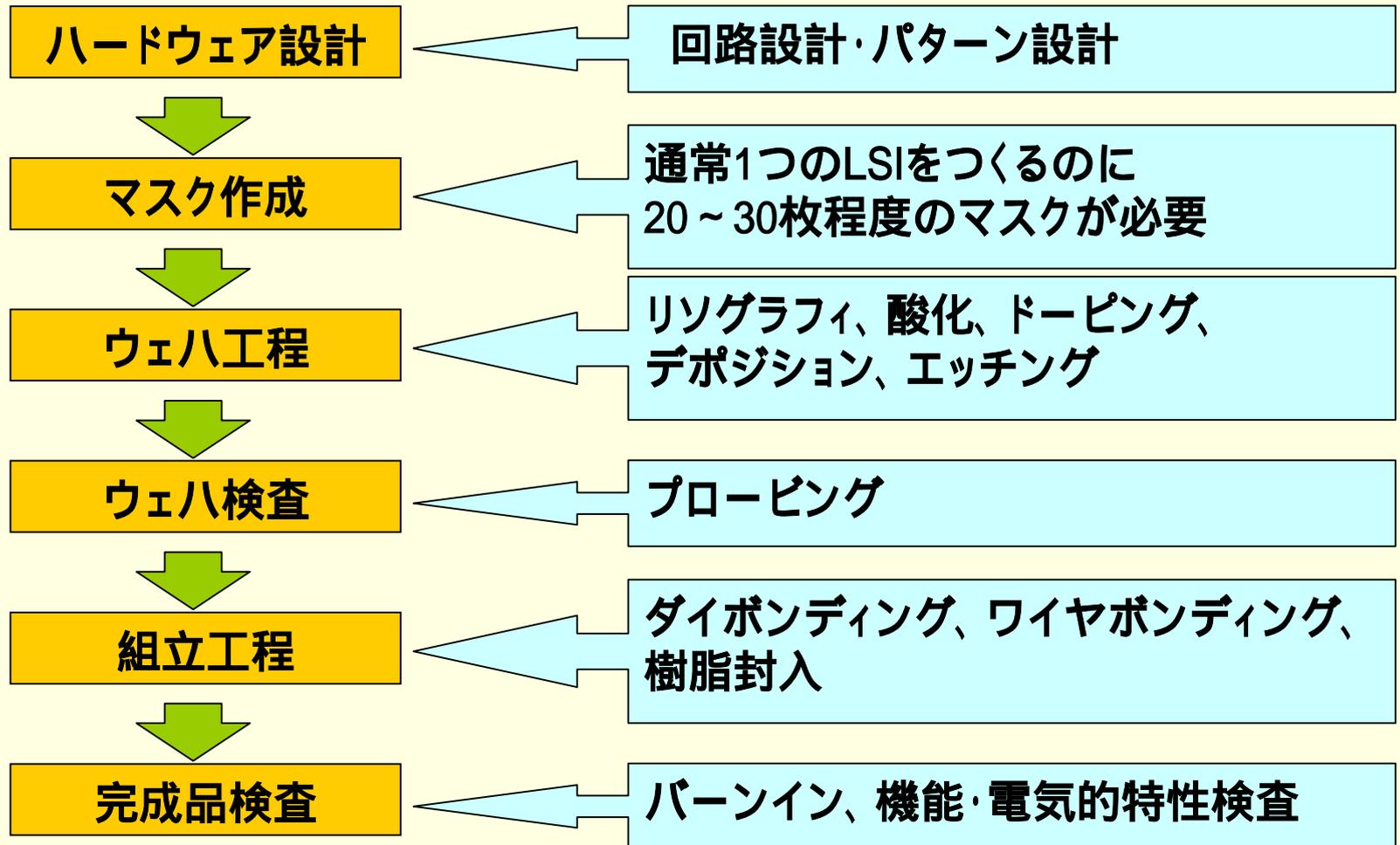
- コンピュータ内部の演算は“1”と“0”の2値で行われる(2進数が基本)
 - 電源電圧(Vdd)になっている場合“1”
 - GND電位(0V)になっている場合“0”
- 内部計算の例: 2進数の加算(正の数)
 - $0 + 0 = 0$
 - $0 + 1 = 1$
 - $1 + 0 = 1$
 - $1 + 1 = 10$ (桁上げが発生)
- 上記演算をLSI中で実行するため論理回路を使用する
 - OR, AND, NOT回路 etc.

トランジスタを使った2進の計算例

■ 非常に基本的な2入力, 1出力のNAND回路



LSI製造の流れ



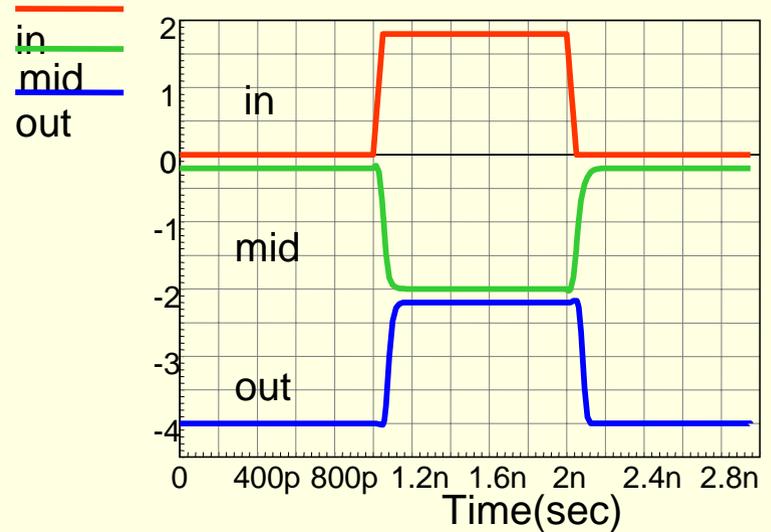
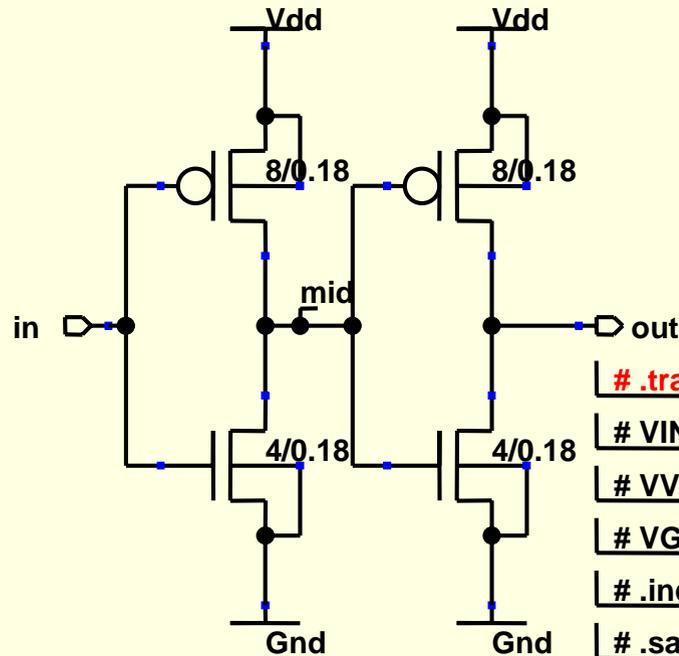
LSIの設計フロー 1 : 機能と論理設計

- ハードウェア記述言語でシステムを記述したら
終わり・・・ではありません

```
module Counter(DIO,ck,Reset, PinCtr, CarryOut);
  inout [3:0] DIO;
  input ck, Reset, PinCtr;
  output CarryOut;
  reg CarryOut;
  reg [3:0] D;
  assign DIO = (PinCtr == 0 ? (D):( 'bz));
  always @(posedge ck) begin
    if( Reset ) begin CarryOut = 0; D=0; end
    else if( PinCtr ) begin CarryOut = 0; D = DIO; end
    else if( D == 15 ) begin CarryOut = 1; D = 0; end
    else begin D = D + 1; CarryOut = 0; end
  end
endmodule
```

LSIの設計フロー 2 : 回路設計

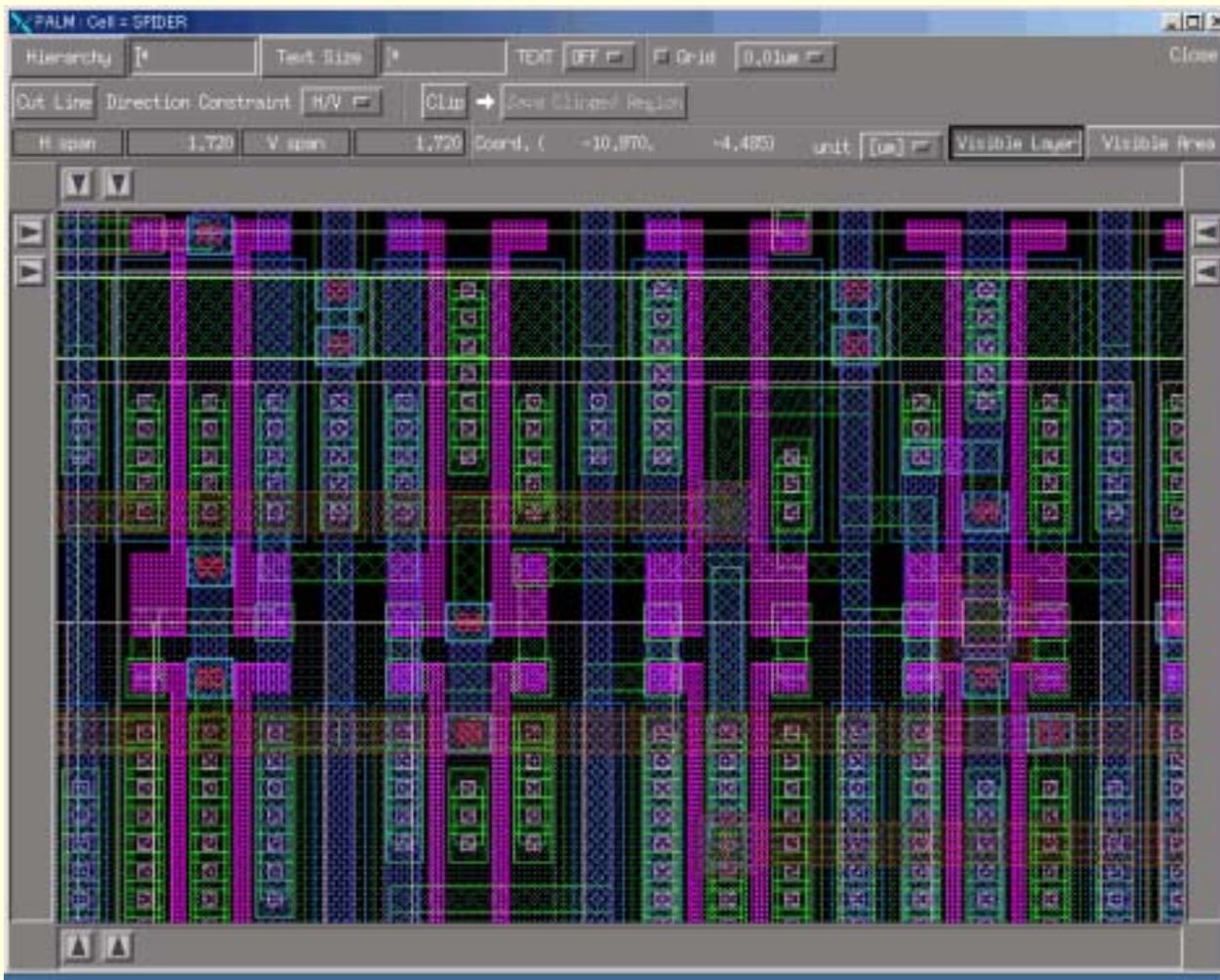
■ 回路設計があります



```
# .tran 0.01n 3n  
# VIN in 0 PWL(0n 0V 1n 0V 1.05n 1.8V 2n 1.8V 2.05n 0V 100n 0V)  
# VVdd Vdd 0 DC 1.8V  
# VGnd Gnd 0 DC 0V  
# .include MOS_018.bsim3  
# .save in out
```

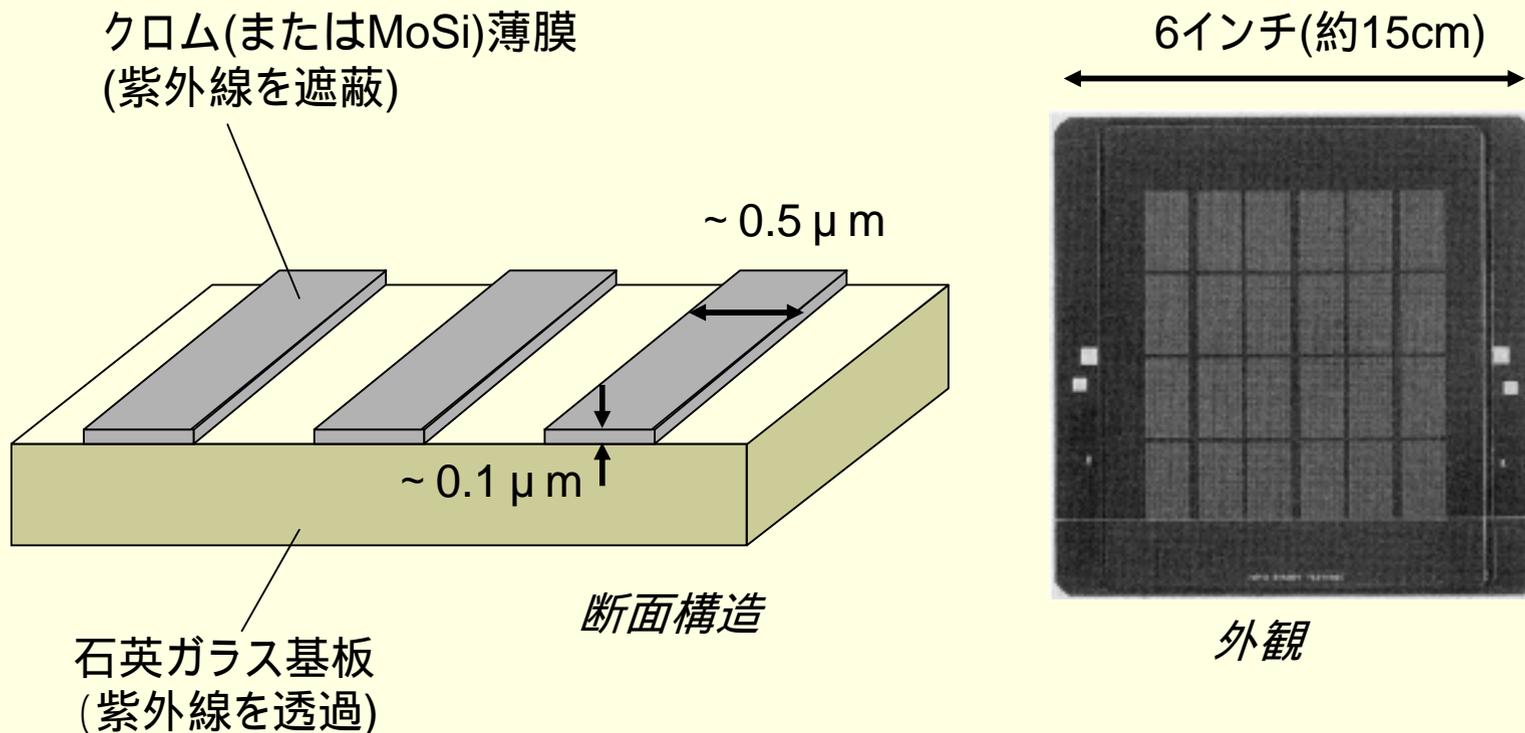
LSIの設計フロー 3 : レイアウト設計

■ レイアウト設計があります



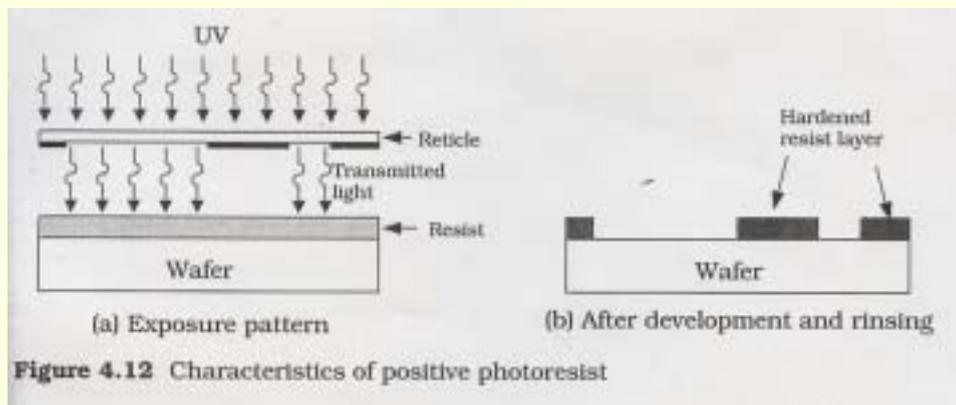
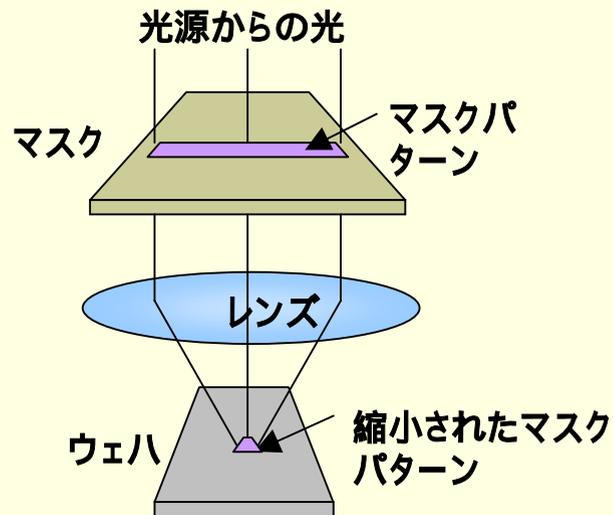
フォトマスク

- レイアウト設計データは下記のような石英ガラス上に工程ごとに焼き付けられます。



微細なパターンを作る装置(1)

- 半導体ウエハ上にレジストを塗布し, マスクパターンを縮小して転写した後に現像することで微細パターンを作成できる.



リソグラフィーの原理

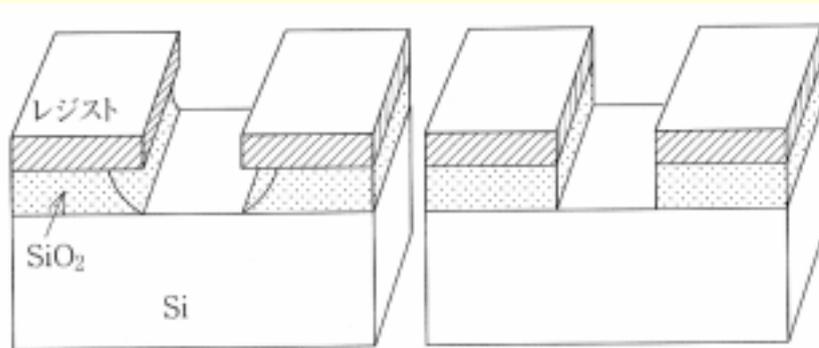


ステッパと呼ばれる転写装置

微細なパターンを作る装置(2)

■ エッチングの断面形状

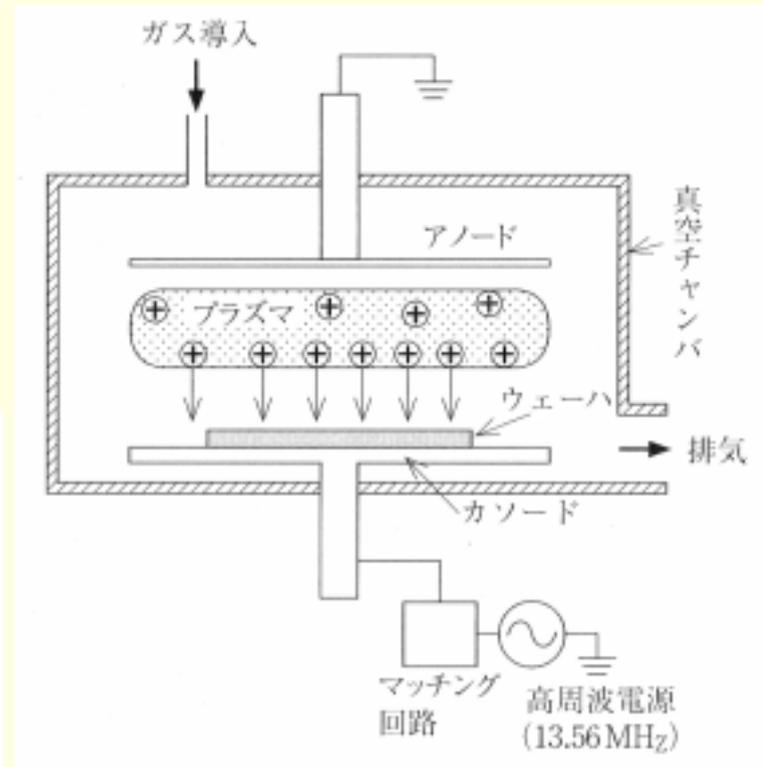
- 溶液中でエッチングすると等方性エッチングとなるため微細加工困難
- 異方性エッチングができるドライエッチングが主流



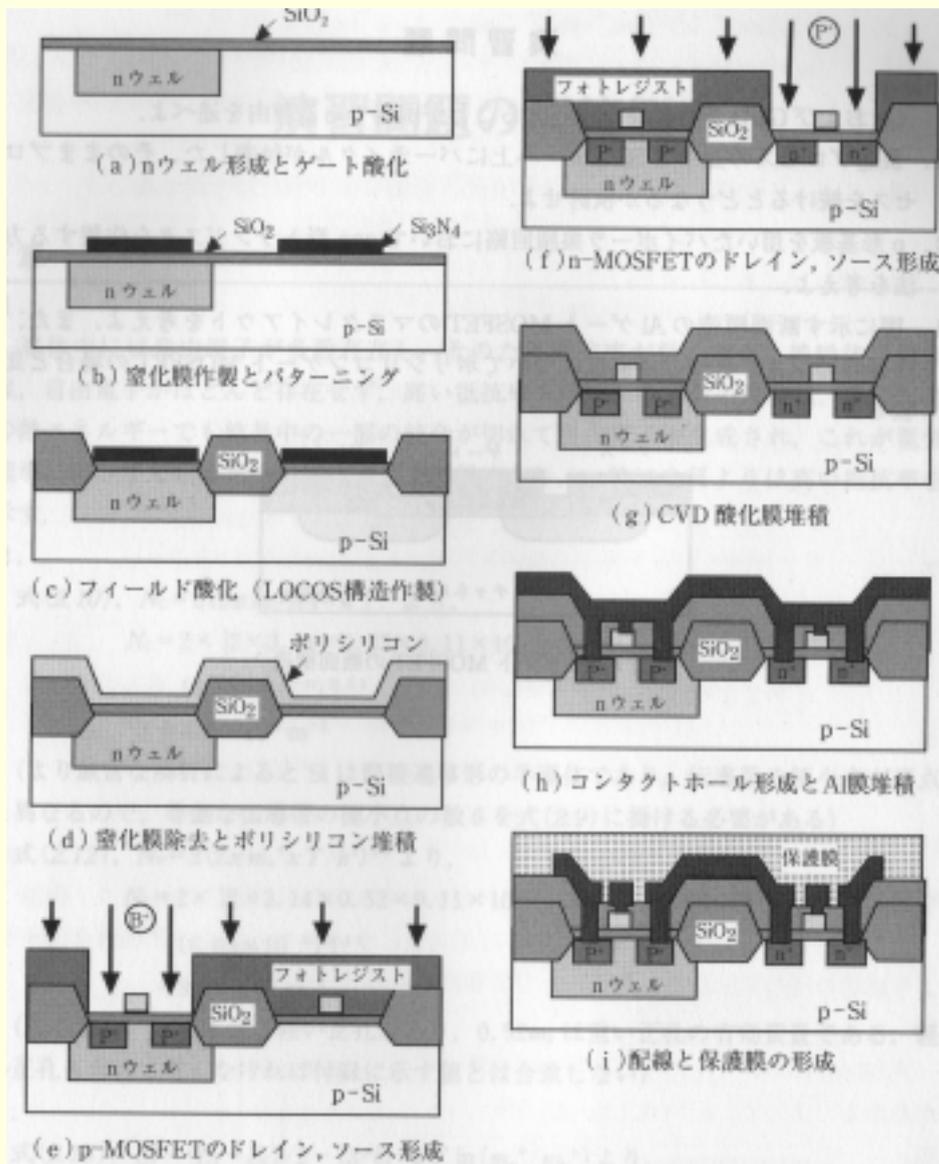
(a) 等方性エッチング

(b) 異方性エッチング

■ ドライエッチング装置



CMOSプロセスフロー



LSI学科で身につけて欲しい技術力

- システムLSIを設計できるハードウェア力
 - トランジスタレベル
 - 回路レベル
 - システムレベル機能設計
- システムLSIを動作させるソフトウェア力
 - コンピュータの知識
 - 通信の知識