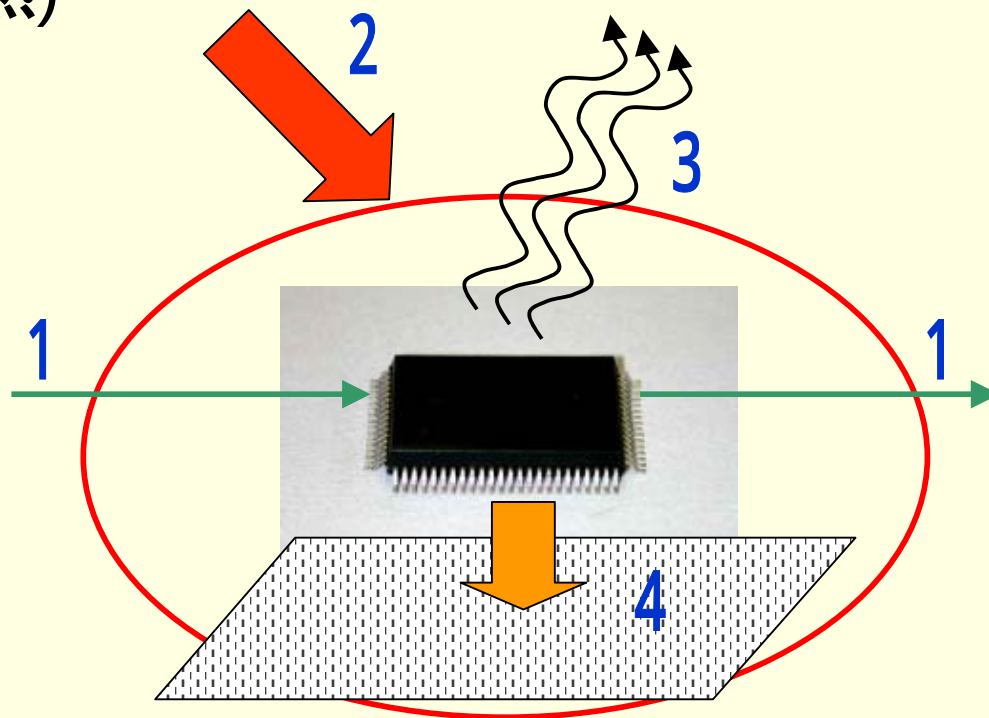


LSI概論(12)

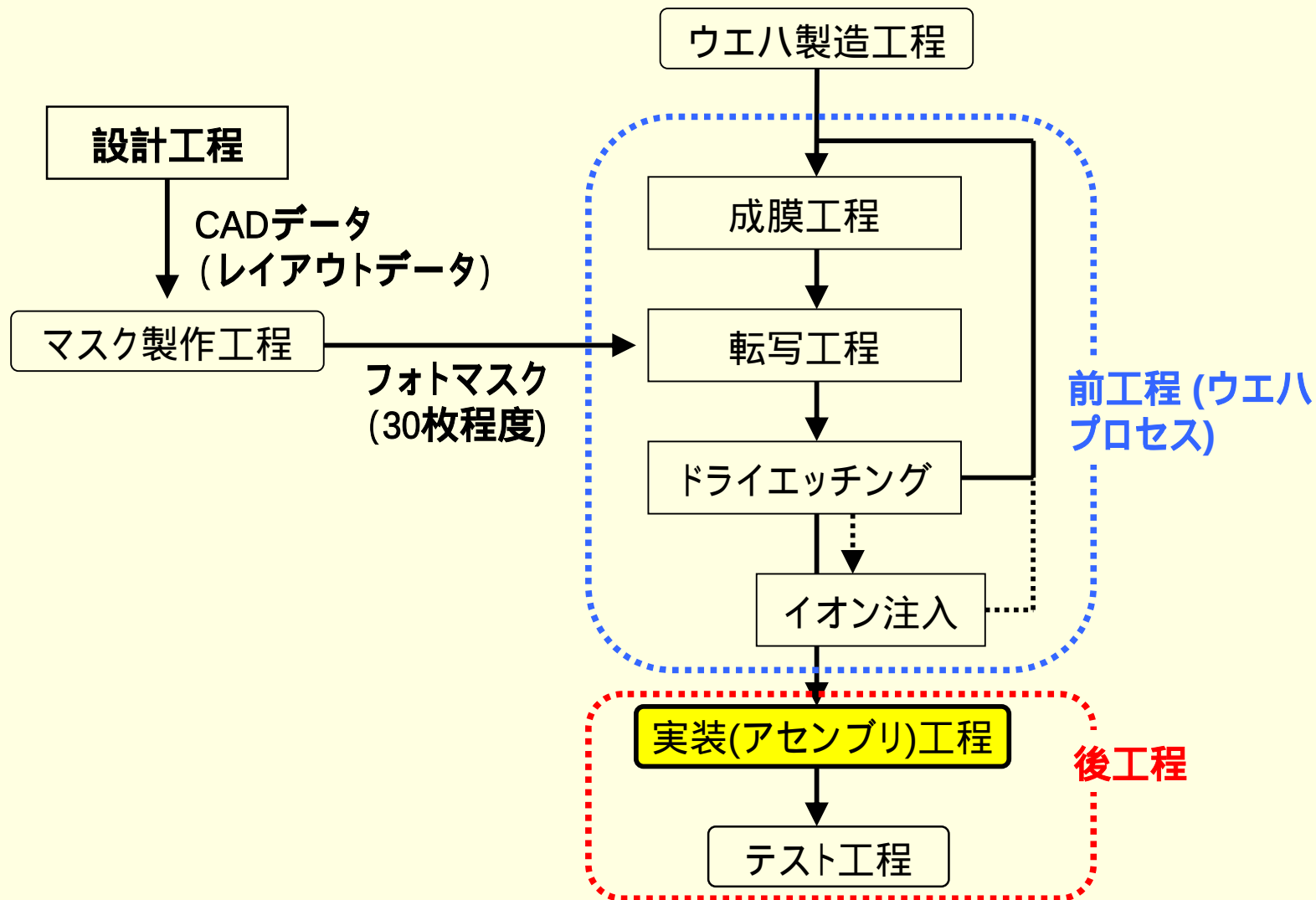
LSIの実装技術

ICパッケージの機能

1. 電氣的接続
2. チップ保護
3. 熱拡散(放熱)
4. 実装



LSIの設計・製造工程



(1)裏面研削工程

- 約500 ~ 750 μm 程度の厚みのウエハを約100 ~ 150 μm まで薄くする.

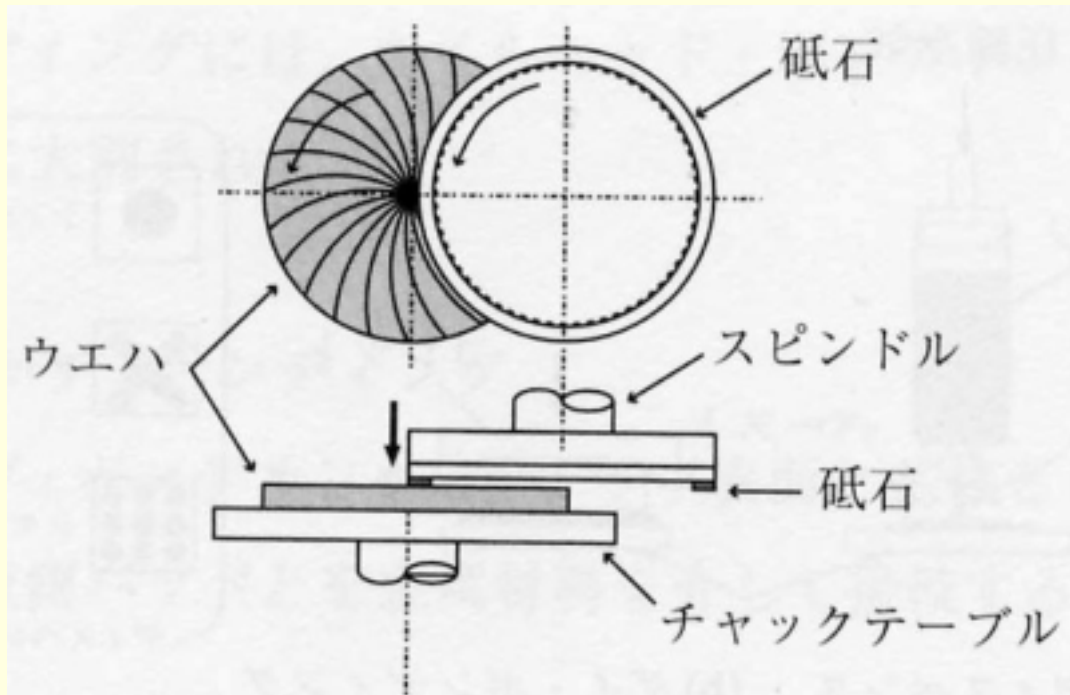
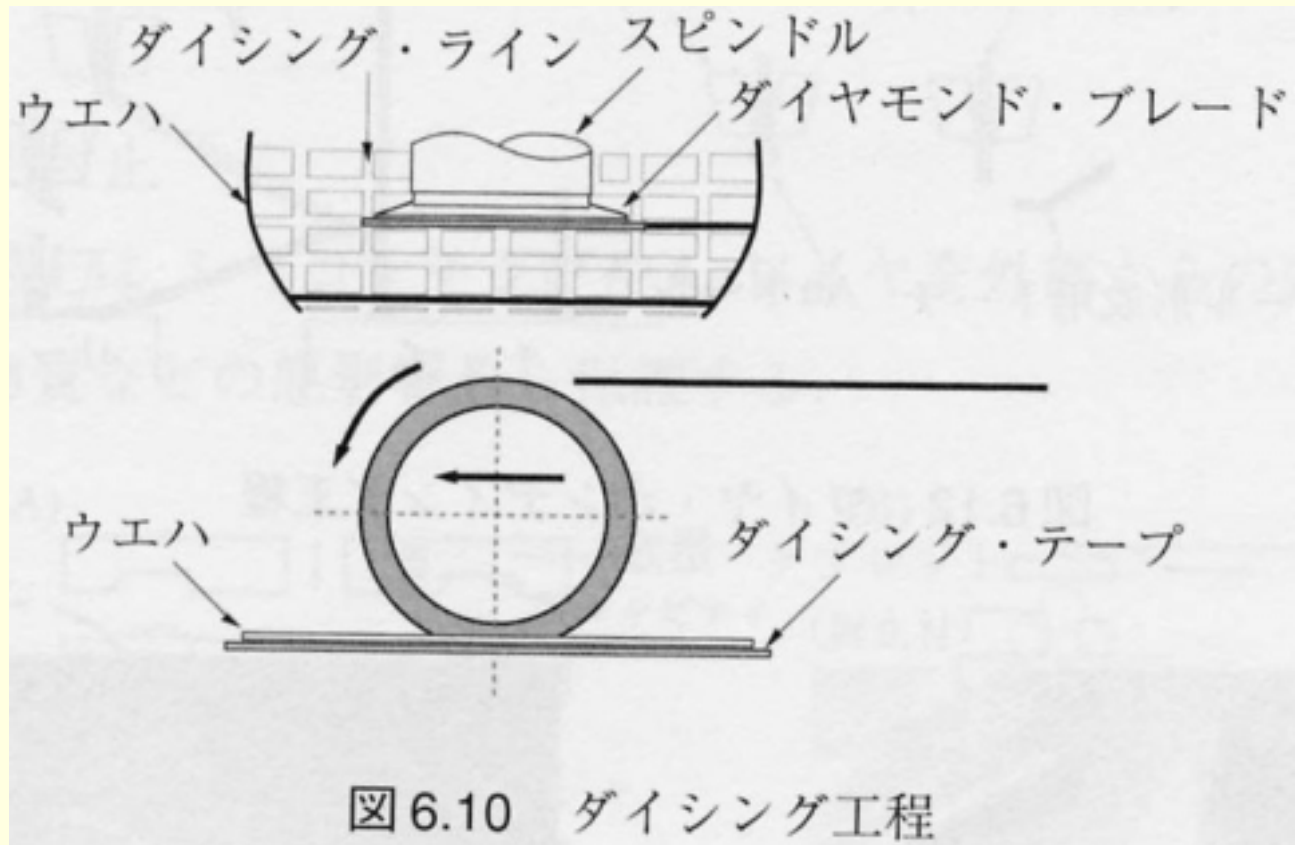


図 6.9 裏面研削工程

「集積回路工学概論(大阪大学出版会)」より引用

(2)ダイシング工程

■ ウエハを個々のチップに分離する



(3)ダイボンディング工程

- ダイシングにより分離されたチップをリードフレームやパッケージ基板に接着・固定

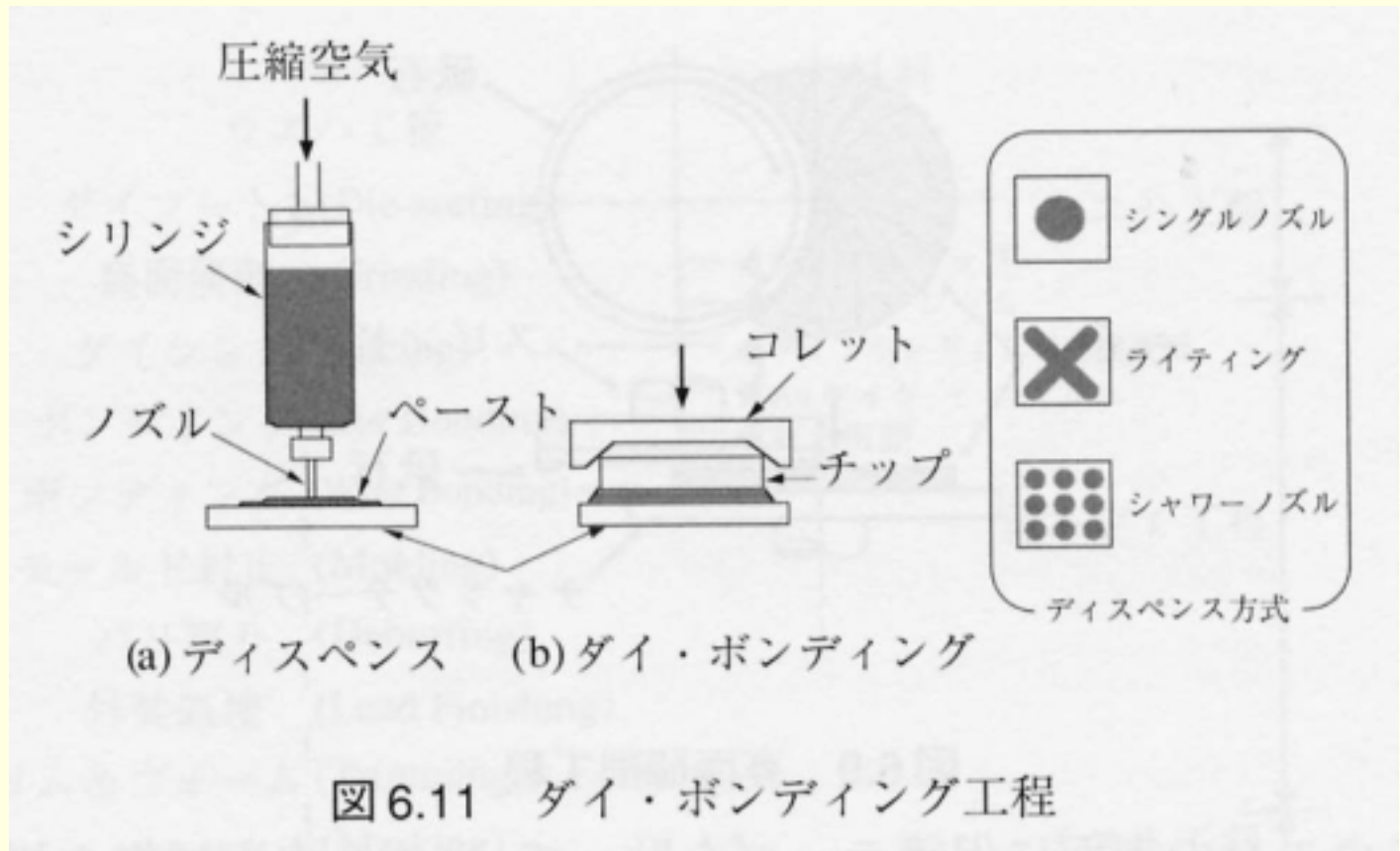


図 6.11 ダイ・ボンディング工程

(4)ワイヤボンディング

- チップの電極部(ボンディングパッド)と外部接続のためのリードを金やアルミなどの極細線で結線する

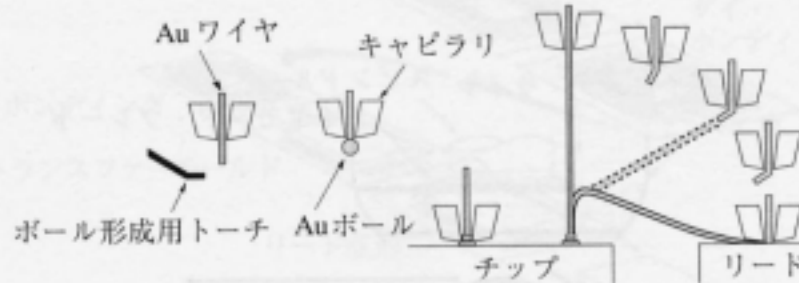
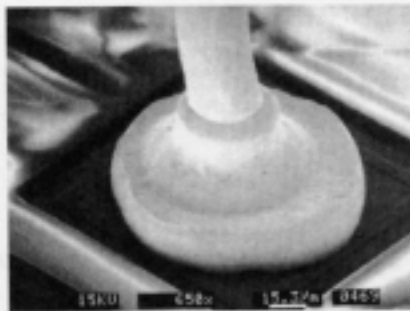
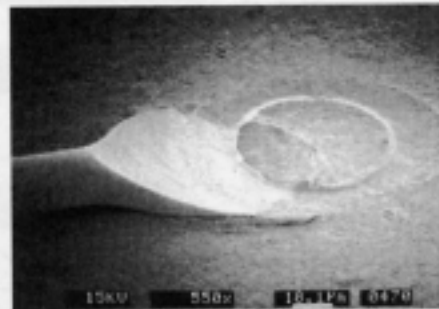


図 6.12 ワイヤ・ボンディング工程



(a)チップ側の接続状態



(b)リード側の接続状態

図 6.13 ワイヤ・ボンディングの接続状態

「集積回路工学概論(大阪大学出版会)」より引用

(5) モールド封止工程

- チップや結線を外部からの応力, 湿気や汚染物質の悪影響から保護する.

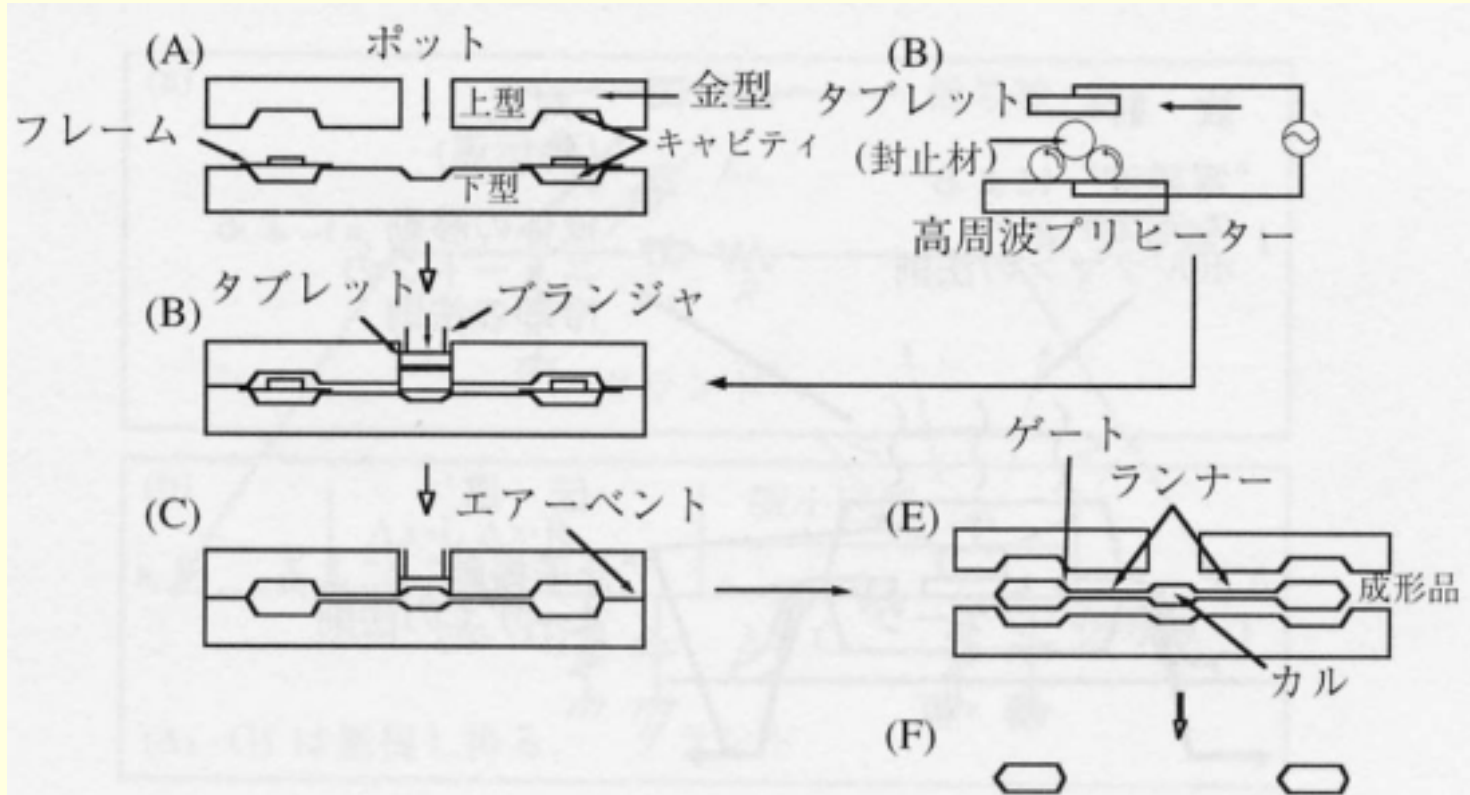


図 6.15 モールド封止工程

「集積回路工学概論(大阪大学出版会)」より引用

ICパッケージの動向

■ 代表的なパッケージ: TSOP, QFP, PGA

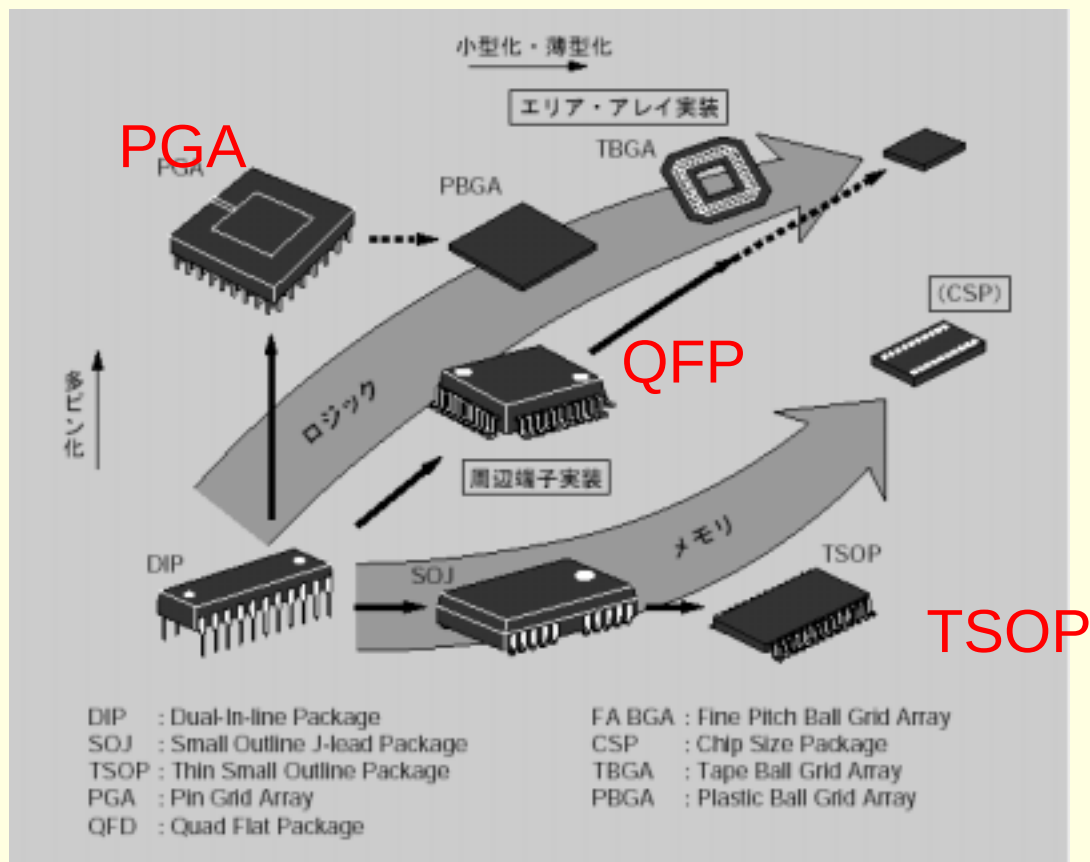
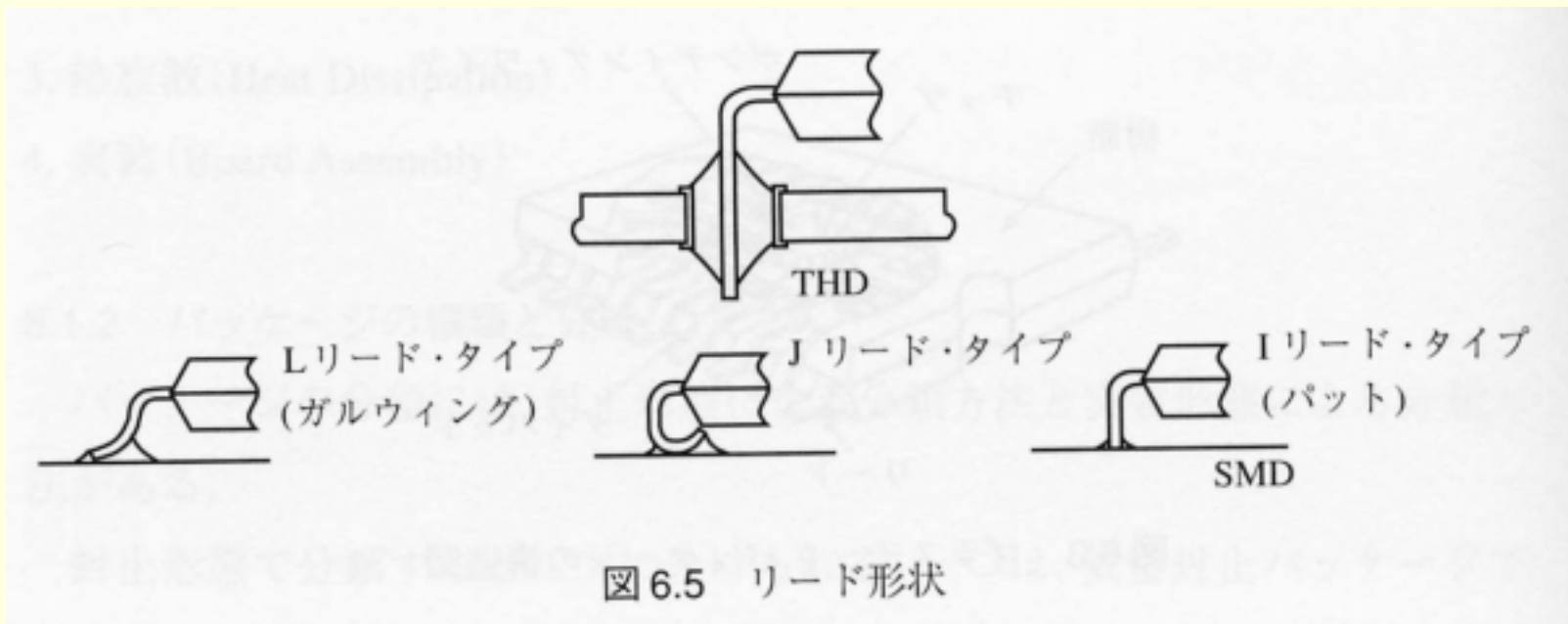


図1 ICパッケージの動向

パッケージ端子の形状

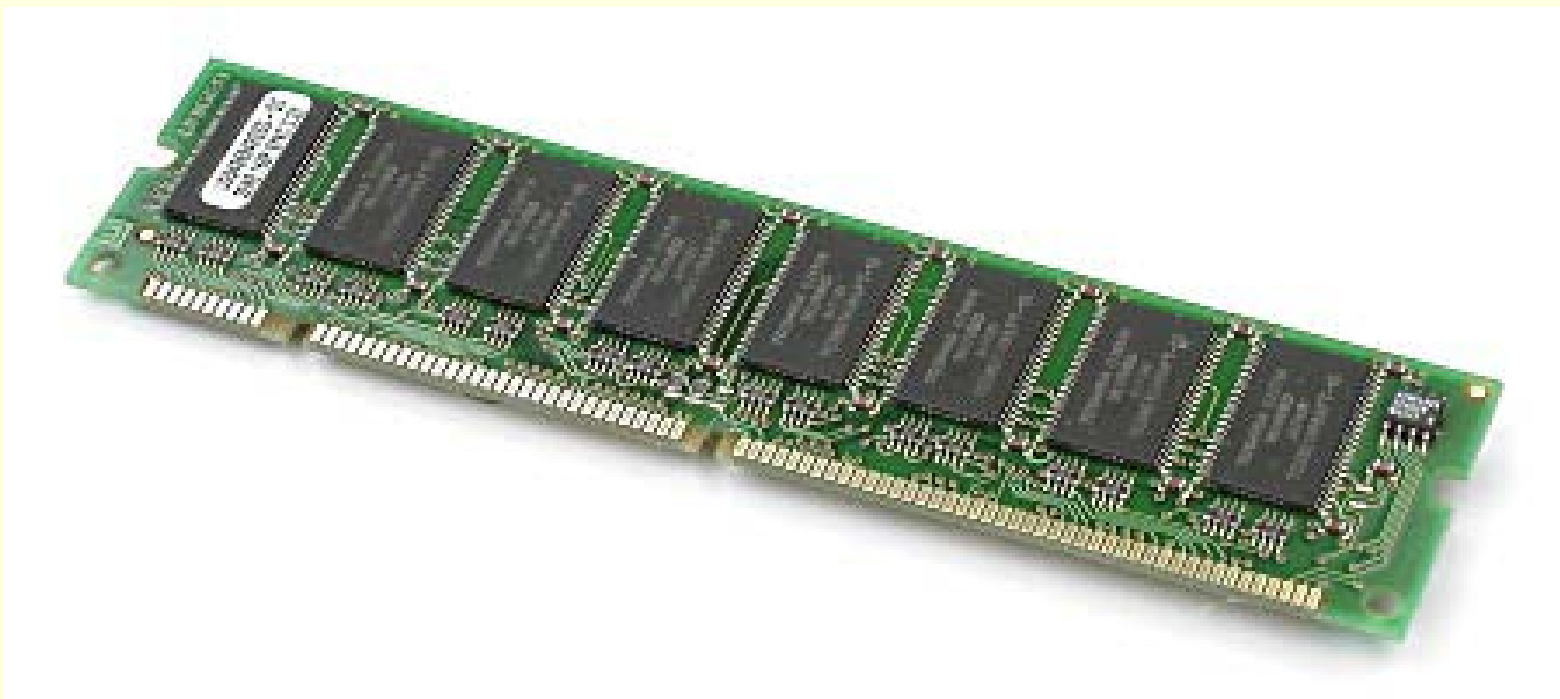
■ 端子形状による分類

- リード挿入型: THD(Through Hole Mount Device)
- 表面実装型: SMD(Surface Mount Device)

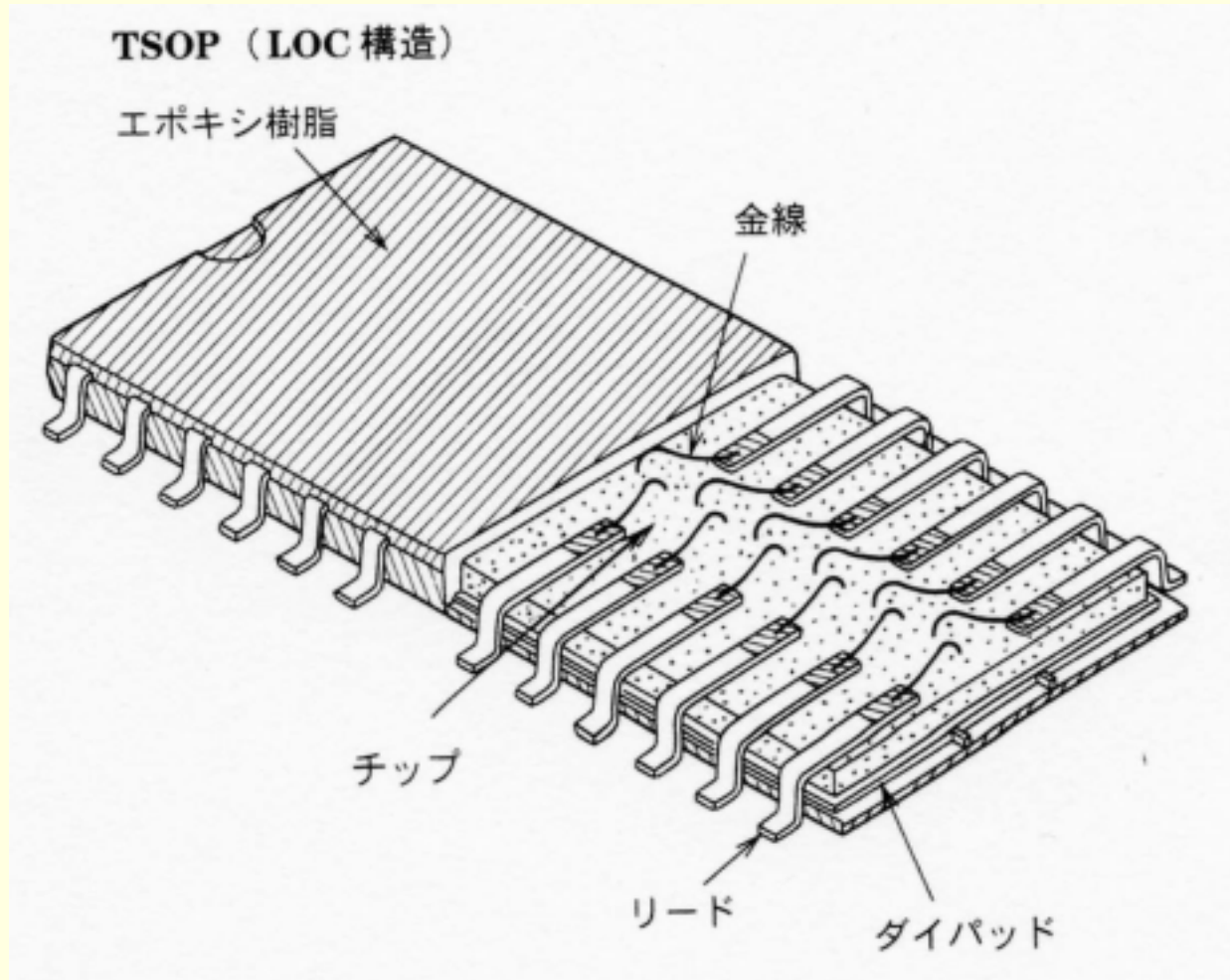


TSOP(Thin Small Outline Package)

- 2方向にリードが出されており, 比較的少ない端子を使用するメモリなどでよく使用されている
- 下は, ダイナミックメモリ(DRAM)モジュールでの使用例.

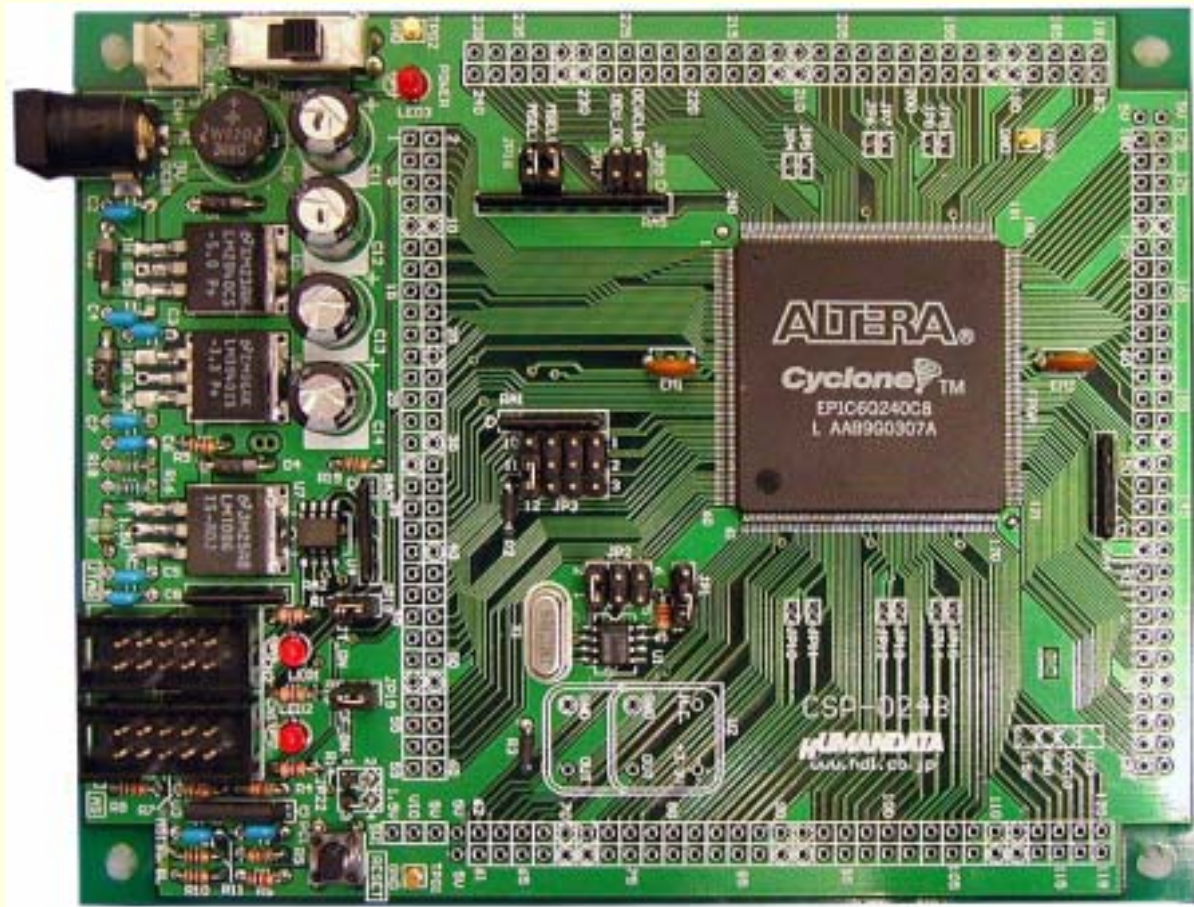


TSOPの内部構造

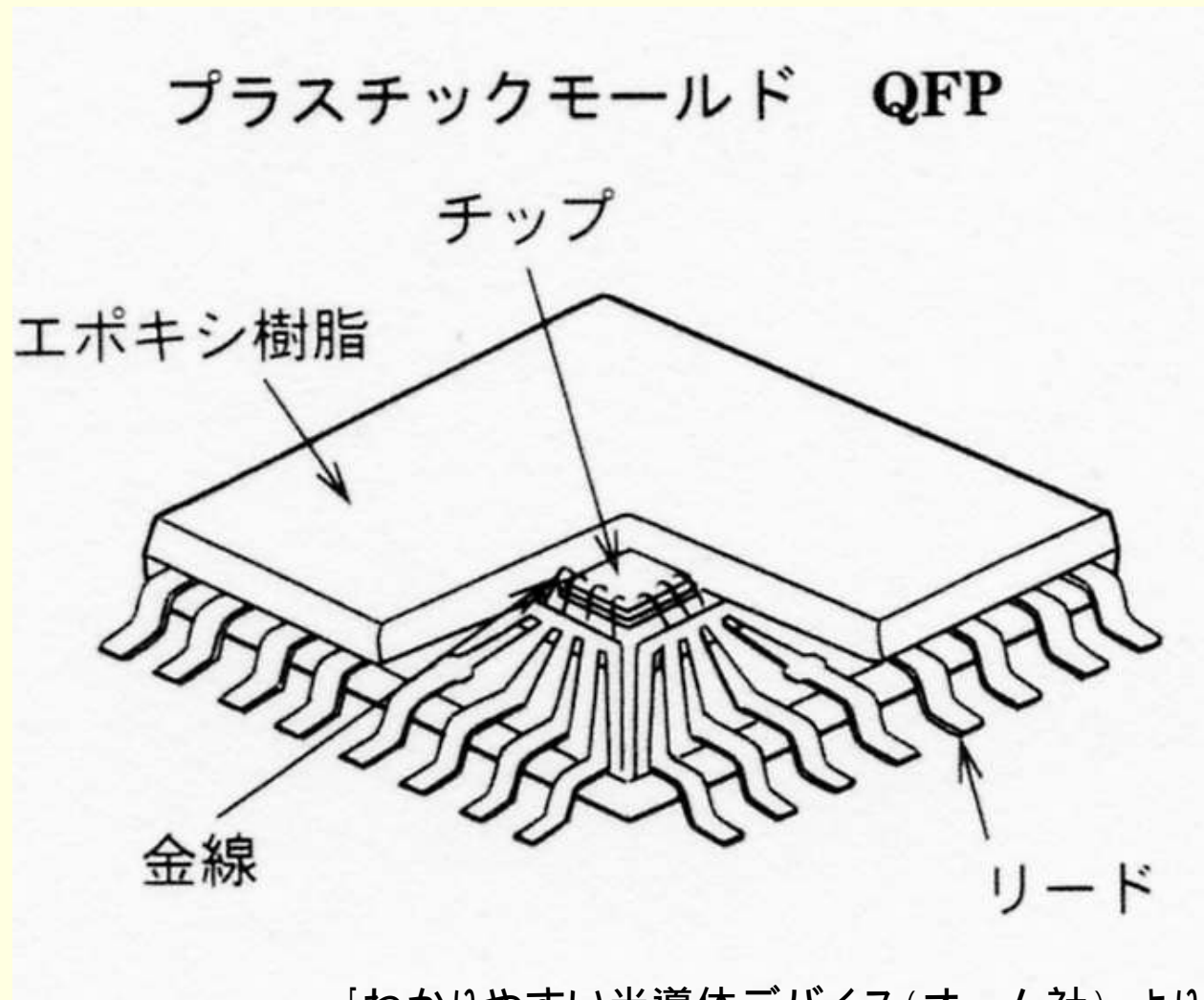


QFP(Quad Flat Package)

- 4方向に端子を持ち, マイコンなどのロジックASICで多用される
- 下は, FPGA(Field Programmable Gate Array)に使用した例



QFPの内部構造

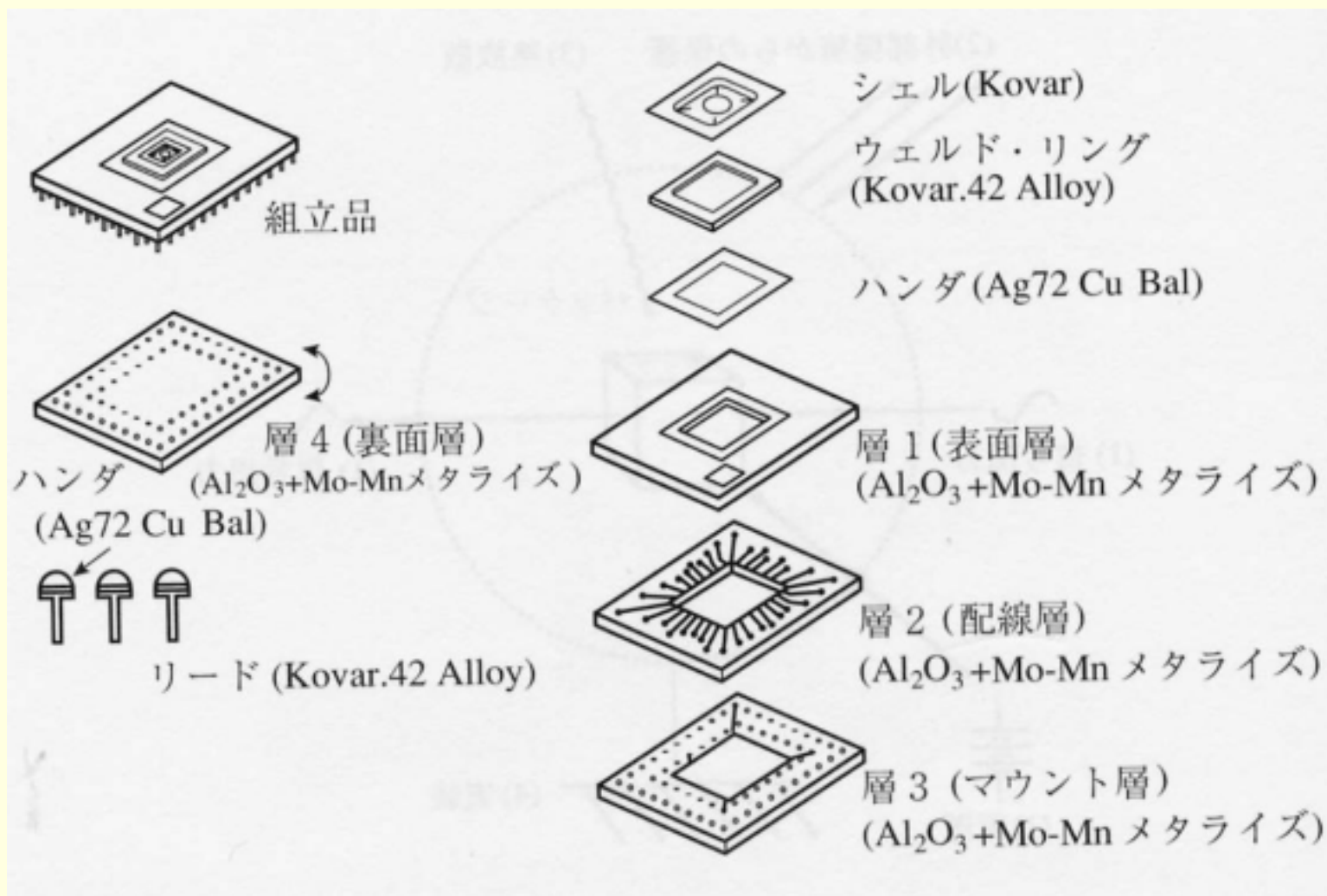


PGA(Pin Grid Array)

- パソコン用のプロセッサなどの非常に多ピンが必要なLSIで使用する。



PGAの内部構造

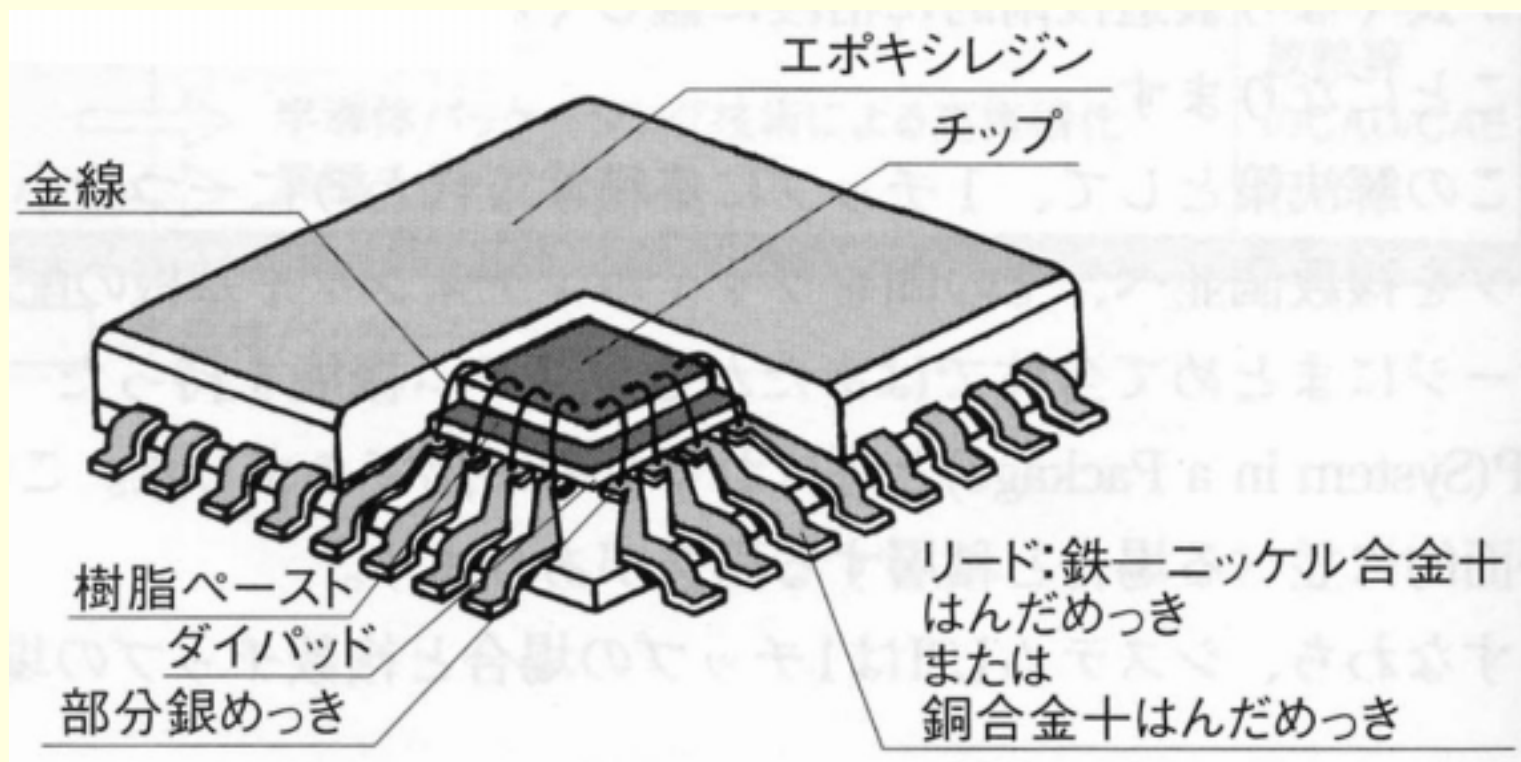


SIP(System In Package)

- LSIで複雑な機能を実現するために、1チップ上に様々な回路を搭載するSoC(System On Chip)が使用されてきた
 - ウエハプロセスが複雑になりコスト高になるほか、新しい機能を持ったチップを設計する期間が長くなるという問題があった
- 一方、複数のチップを1つのパッケージに搭載する手法がSIPである
 - 既存チップの流用により短期間開発が可能
 - チップ間信号線数の制限や、ノイズ、放熱、テストなどの問題もある

SIPの例

- 本タイプのSIPは実装面積の削減を目的とした携帯電話用メモリ (SRAMとフラッシュメモリを積層) で数多く実績がある。



SIPの種類

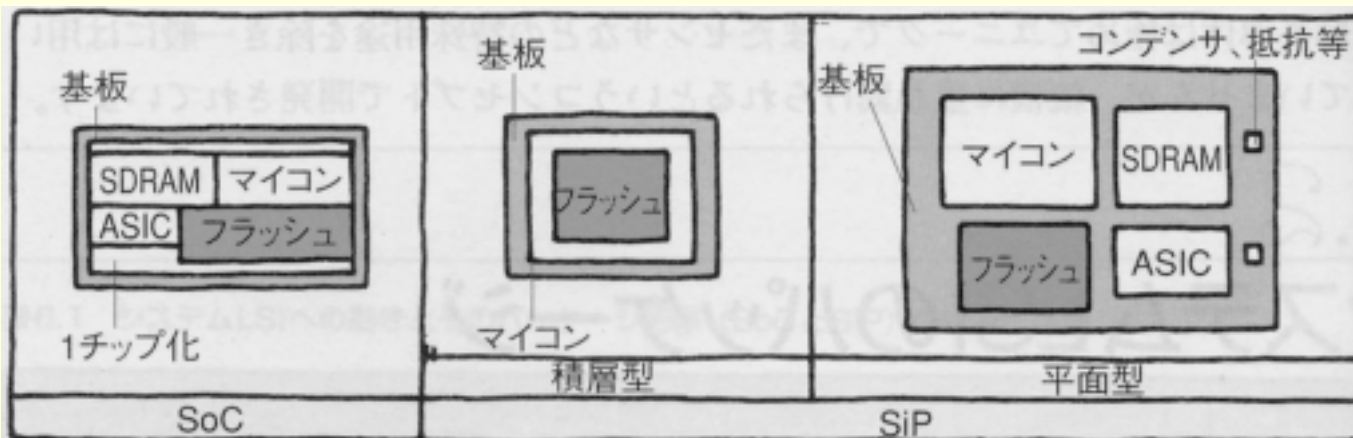


図6.2 システムLSIのチップ構成例

