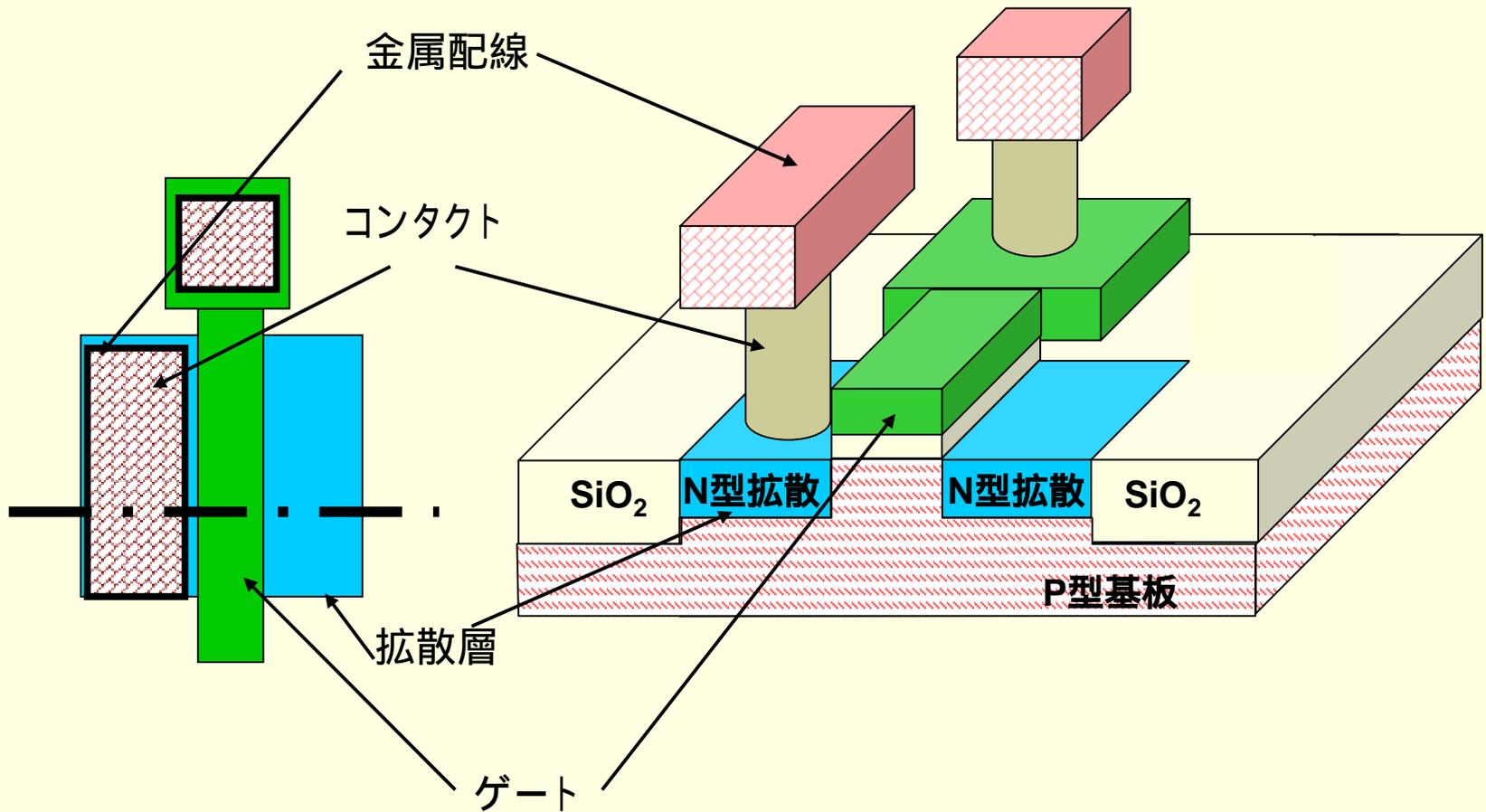


LSI概論(6)

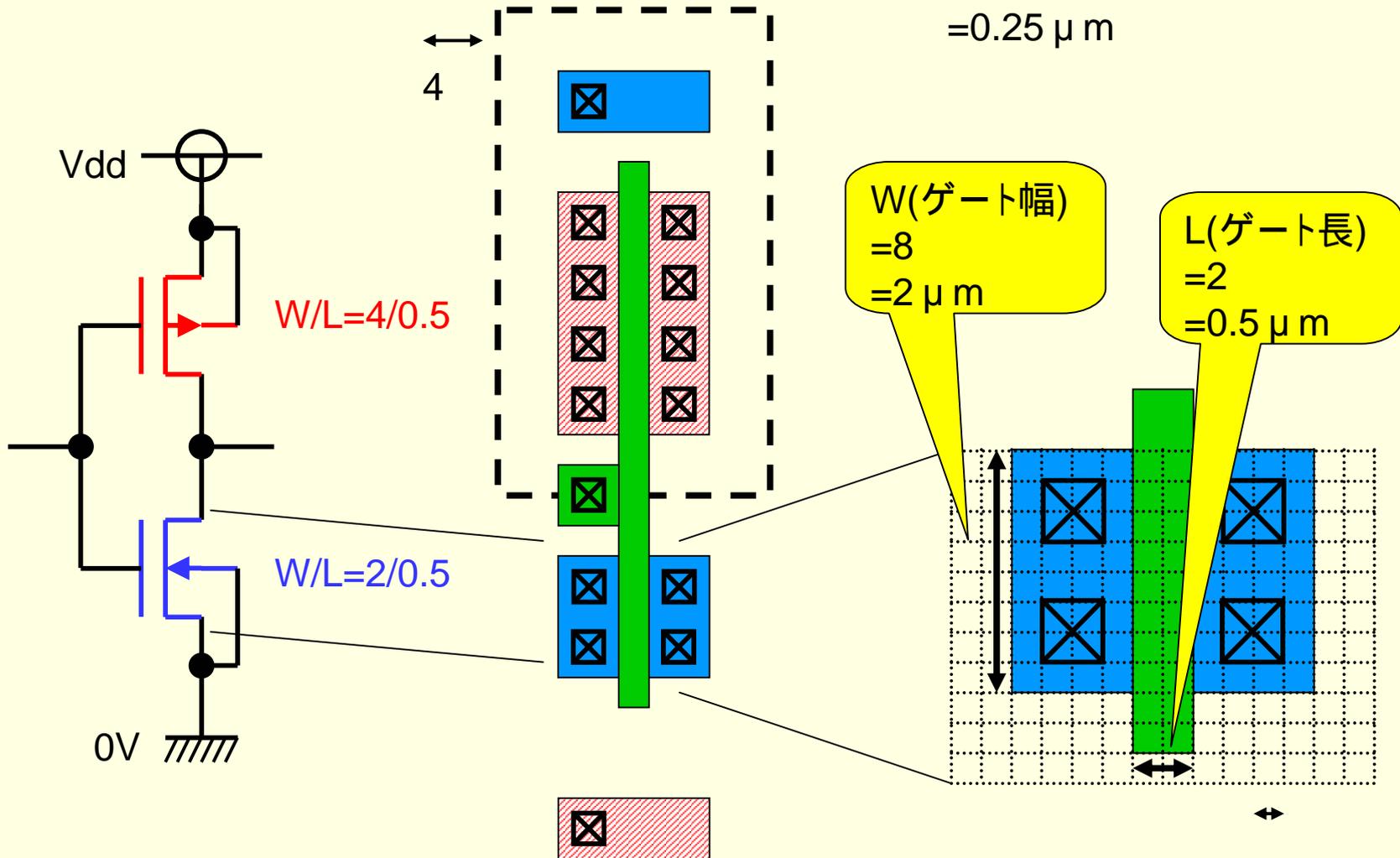
CMOS回路の電気特性

平面レイアウトと鳥瞰図

■ N型トランジスタの例

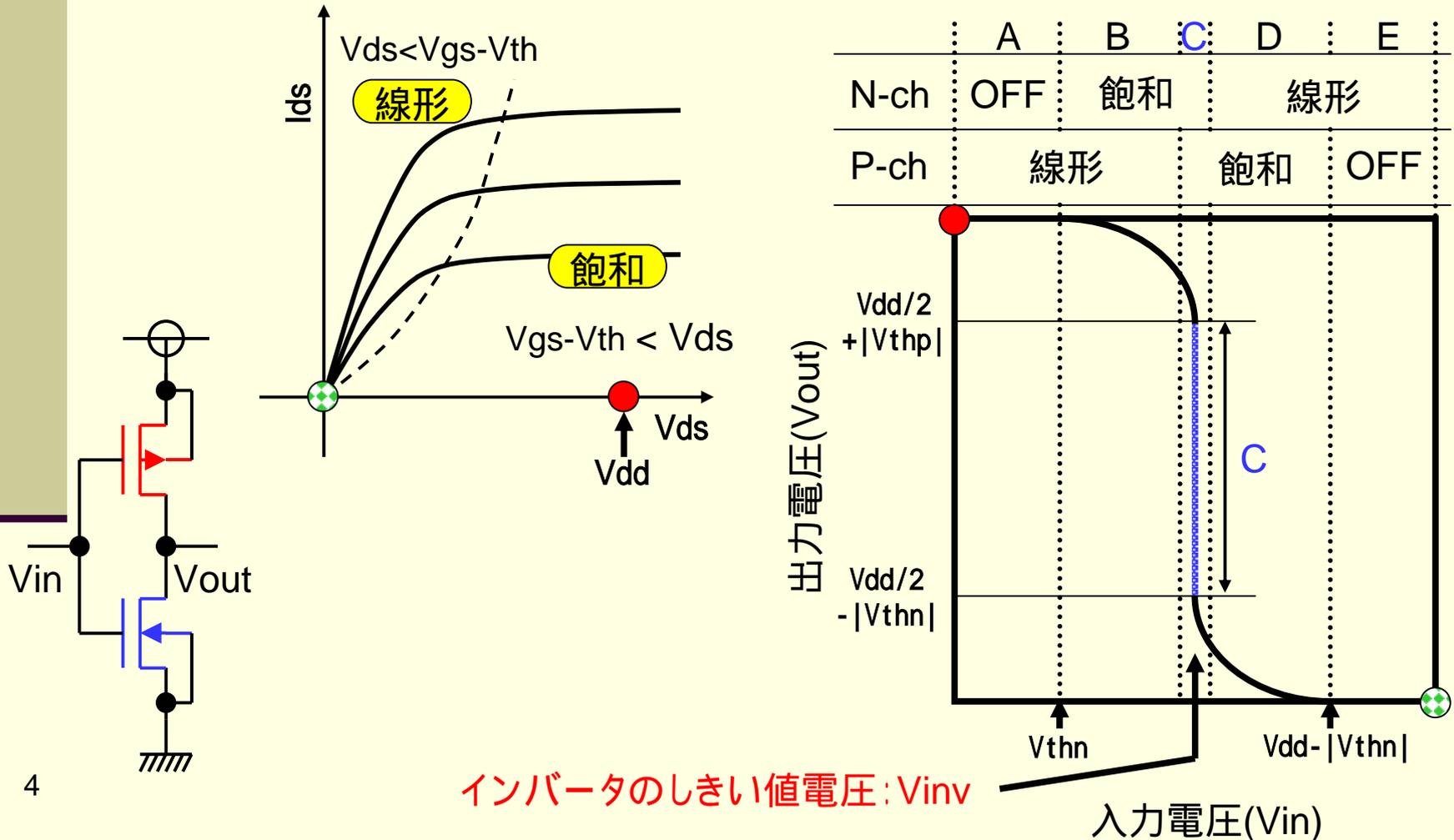


トランジスタのW/Lとレイアウト



インバータの電気特性 ~ 静特性 ~

- インバータのしきい電圧近傍 (C) では両Tr.とも飽和



インバータのしきい値電圧

■ 両Tr.とも飽和領域の場合の電流値

$$I_{dsn} = \frac{W_n}{L_n} \mu_n C_{ox} \left[\frac{1}{2} (V_{in} - V_{thn})^2 \right]$$

$$I_{dsp} = \frac{W_p}{L_p} \mu_p C_{ox} \left[\frac{1}{2} (V_{in} - V_{dd} - V_{thp})^2 \right] \quad V_{thp} < 0 \text{ に注意!}$$

■ そのときの入力電圧がインバータのしきい値となる

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox}, \beta_p = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{とにおいて } I_{dsp} = I_{dsn} \text{ をとくと}$$

$$V_{inv} = V_{in} = \frac{V_{dd} + V_{thp} + V_{thn} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

インバータのしきい値電圧

トランジスタの利得係数

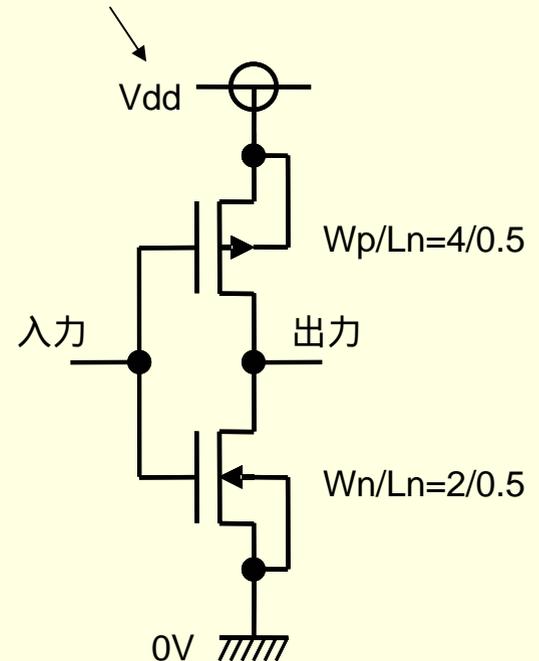
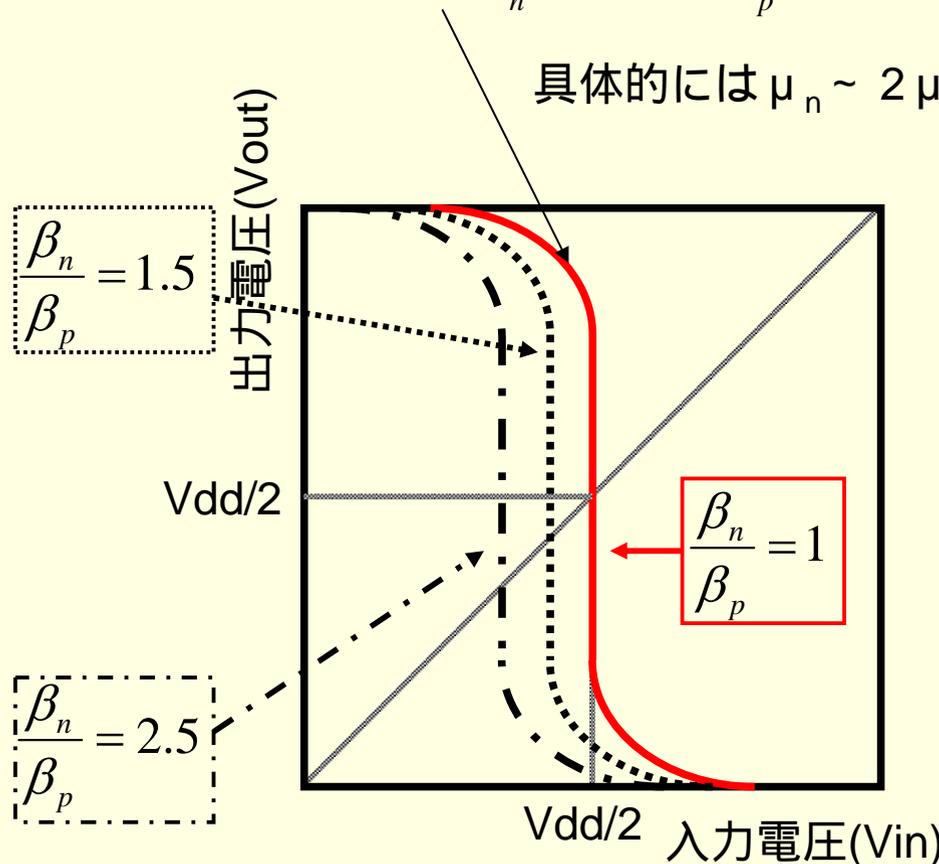
覚えておこう!

インバータのしきい値電圧の調整

- インバータしきい値 $V_{inv} = V_{dd}/2$ (理想的インバータ) の実現

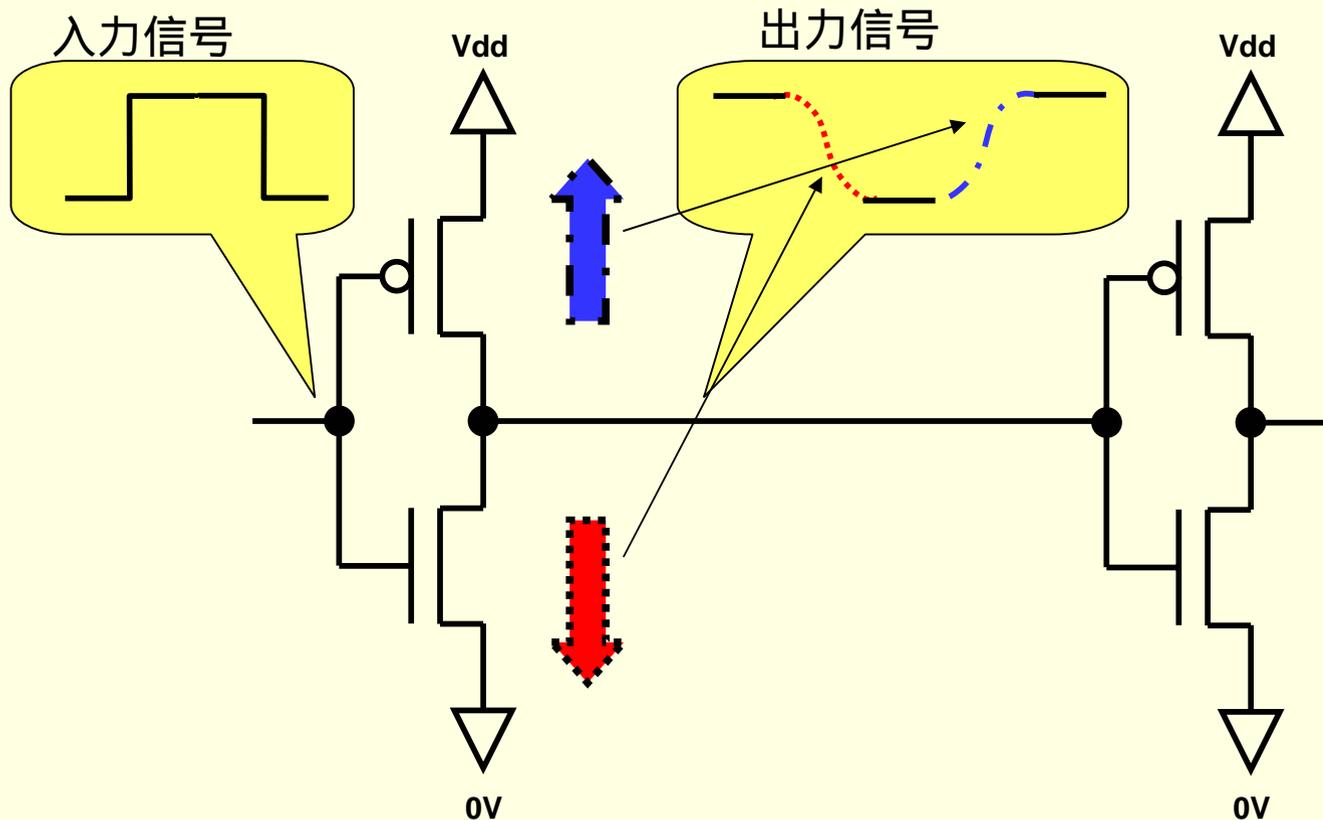
$$\beta_n = \beta_p \quad \text{すなわち} \quad \frac{W_n}{L_n} \mu_n C_{ox} = \frac{W_p}{L_p} \mu_p C_{ox} \quad \text{および} \quad V_{thp} = -V_{thn} \quad \text{とするとよい}$$

具体的には $\mu_n \sim 2\mu_p$ の場合, $L_n = L_p, W_p = 2W_n$ とする



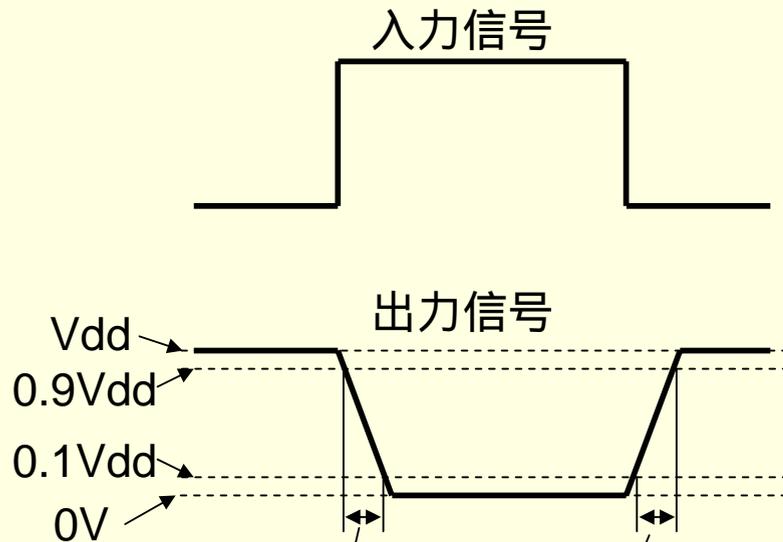
信号の伝播

- インバータが信号を伝播するときには、次段のトランジスタのゲート電荷を**放電**/**充電**しなければならない。
- これにより、信号波形になまりが生じる。



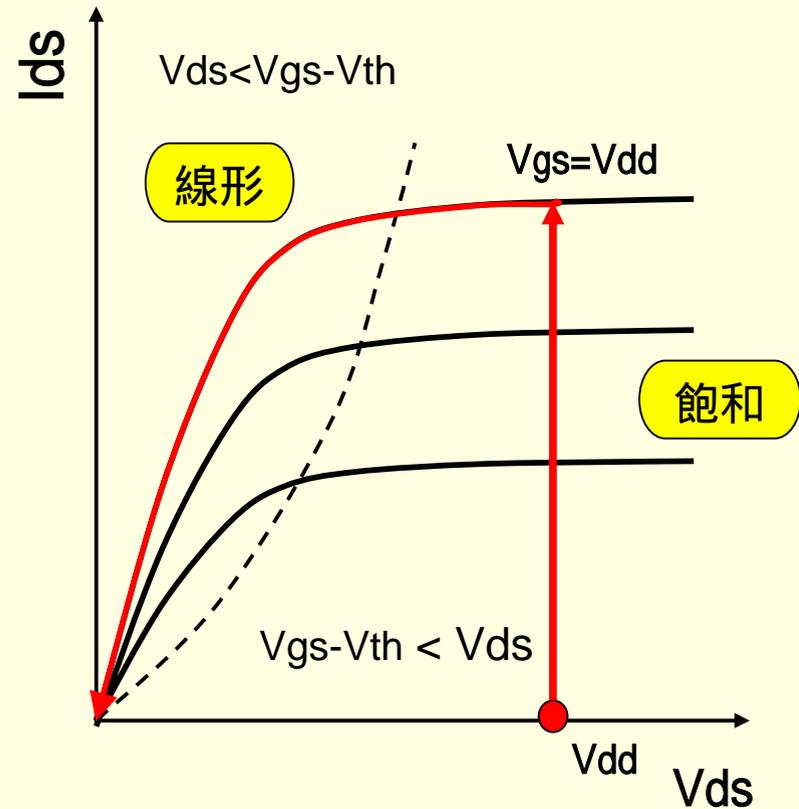
波形の立上り/立下り時間(1)

- 伝播信号のなまりを下記の立上り時間/立下り時間で規定する.



t_f : fall time
立下り時間

t_r : rise time
立上り時間



立下り時のNchトラン
ジスタの動作点の軌跡

波形の立上り/立下り時間(2)

- 立下り時間 t_f は, 負荷容量 C_L をトランジスタの駆動電流で放電する時間として求めることができる
- 計算は, 飽和電流依存時間 t_{f1} (出力電圧が $0.9V_{dd} \sim V_{dd}-V_{thn}$), 線形電流依存時間 t_{f2} (出力電圧が $V_{dd}-V_{thn} \sim 0.1V_{dd}$), の和で求める.

$$t_f = t_{f1} + t_{f2}$$
$$= \frac{2C_L}{\beta_n (V_{dd} - V_{thn})} \left\{ \frac{V_{thn} - 0.1V_{dd}}{V_{dd} - V_{thn}} + \frac{1}{2} \ln \left(\frac{19V_{dd} - 20V_{thn}}{V_{dd}} \right) \right\}$$

- 近似式として, $V_{thn} = 0.2V_{dd}$ とすると

$$t_f \approx 4 \times \frac{C_L}{\beta_n V_{dd}}$$

- 同様に立上り時間 t_r は

$$t_r \approx 4 \times \frac{C_L}{\beta_p V_{dd}}$$

インバータのしきい値と同様

$t_r = t_f$ とするためには $\beta_n = \beta_p$ が必要

LSIの消費電力

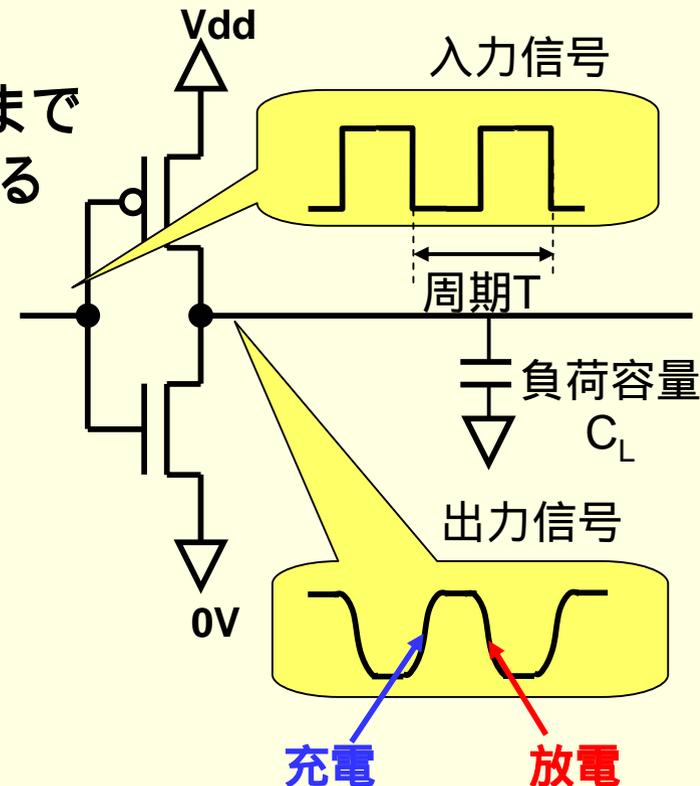
■ 消費電力は次の2種類に分類できる

- スタティック(静的)電力消費
オフしているトランジスタの漏れ電流
- ダイナミック(動的)電力消費

- 周期Tに1回, 負荷容量が V_{dd} まで一度充電されて0Vに放電される
- 1回の充放電電荷 $Q = C_L \cdot V_{dd}$
- 平均電力 $P = Q \cdot V_{dd} / T$
- 動作周波数 $f = 1/T$ であるから

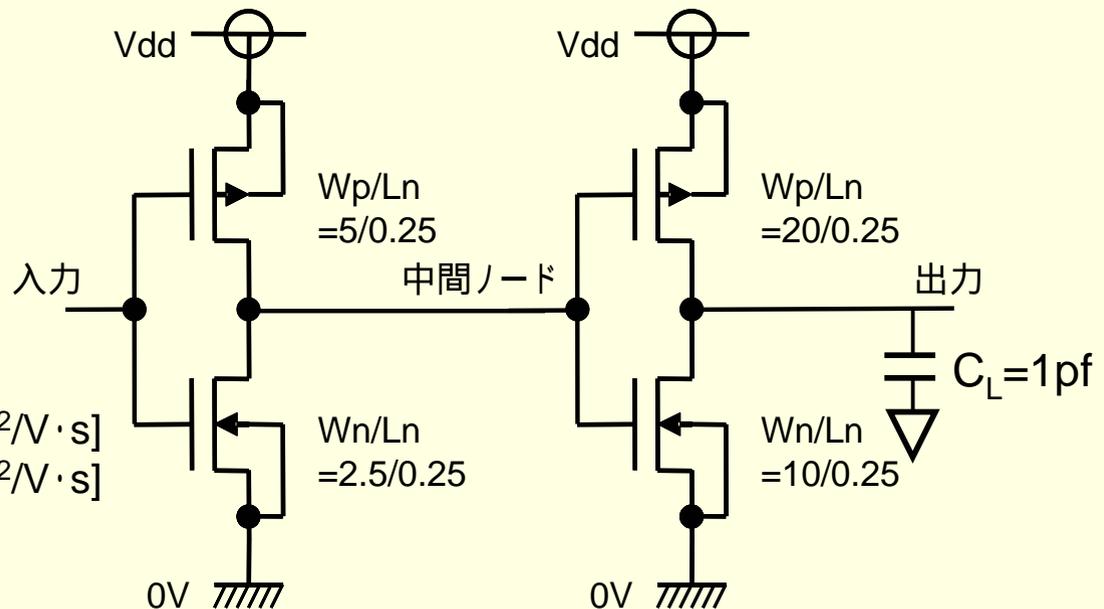
$$P = C_L \cdot V_{dd}^2 \cdot f$$

周波数に比例
電圧の2乗に比例



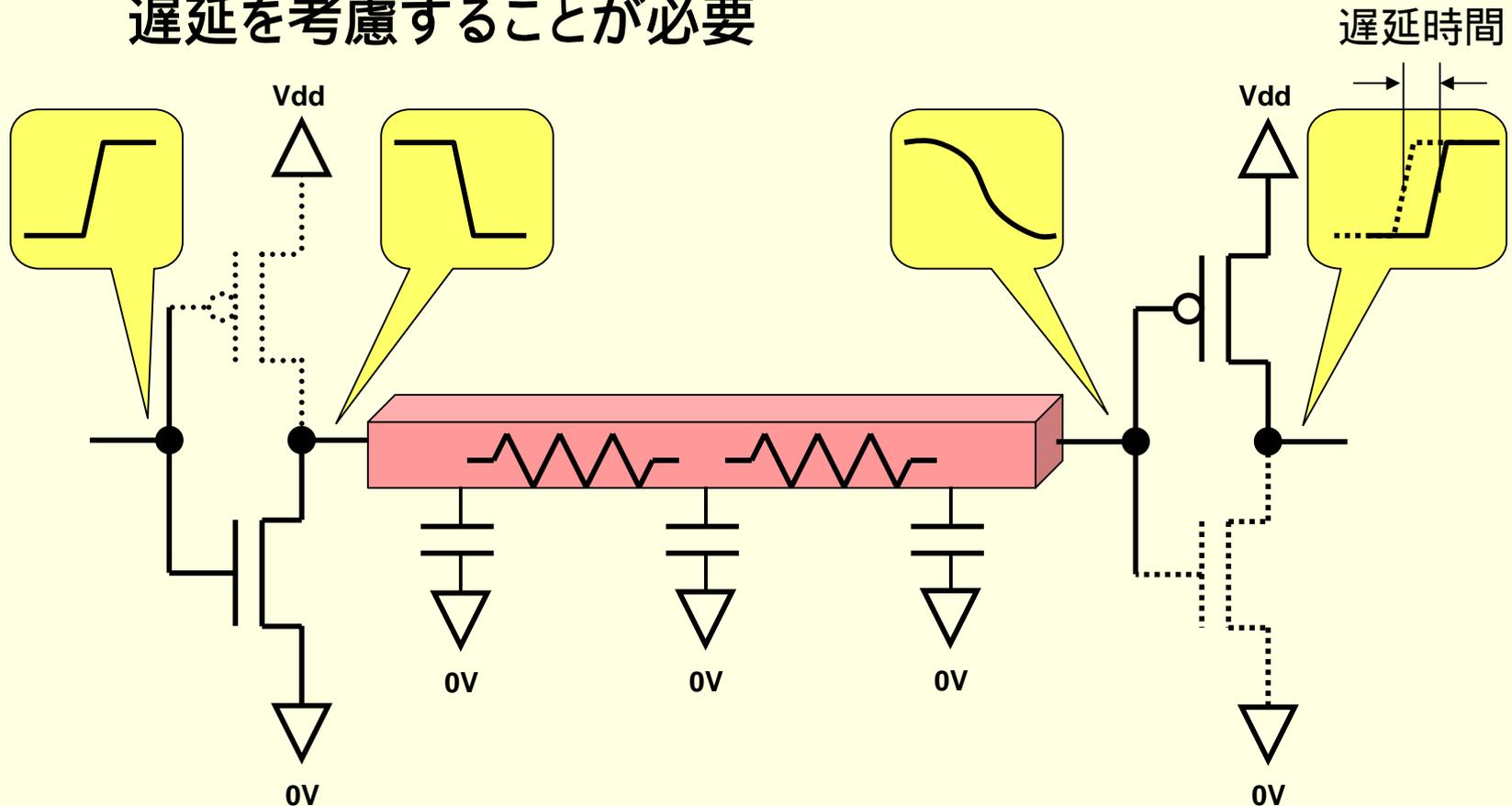
演習問題

- 下図に示す2段のインバータが存在する
 - 中間/出力ノードの立上り・立下り時間をもとめよ
 - 入力に100MHzの方形波を入力したときの動作電力をもとめよ
 - すべてのトランジスタのゲート幅(W)を倍としたときの中間/出力ノードの立上り・立下り時間はどう変化するか？



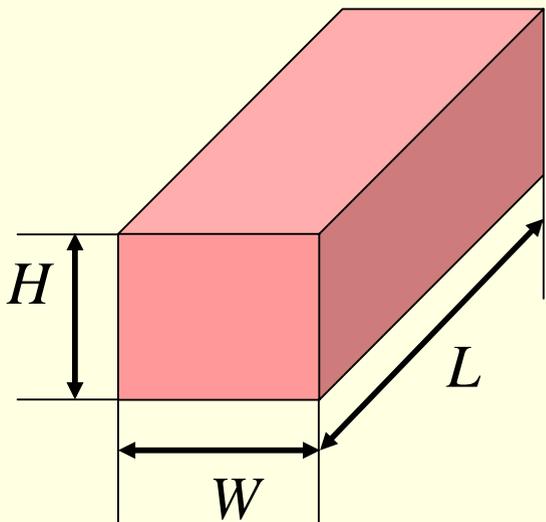
信号の遅延

- 実際にはトランジスタが、容量と抵抗を持つ配線を経由して、次段のトランジスタのゲート容量を駆動している
- トランジスタの立上り/立下りに伴う遅延のほか、配線の遅延を考慮することが必要



配線抵抗の計算

■ 配線の抵抗と容量

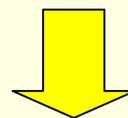


・配線抵抗 R は下式で計算できる

$$R = \frac{L}{H \times W} \times \rho$$

W: 配線幅
L: 配線長さ
H: 配線膜厚

$$\rho(Al) \approx 3\mu\Omega cm$$



・レイアウト設計者は H を変えられないので、シート抵抗 ρ_s の方が使いやすい

$$R = \frac{L}{W} \times \rho_s$$

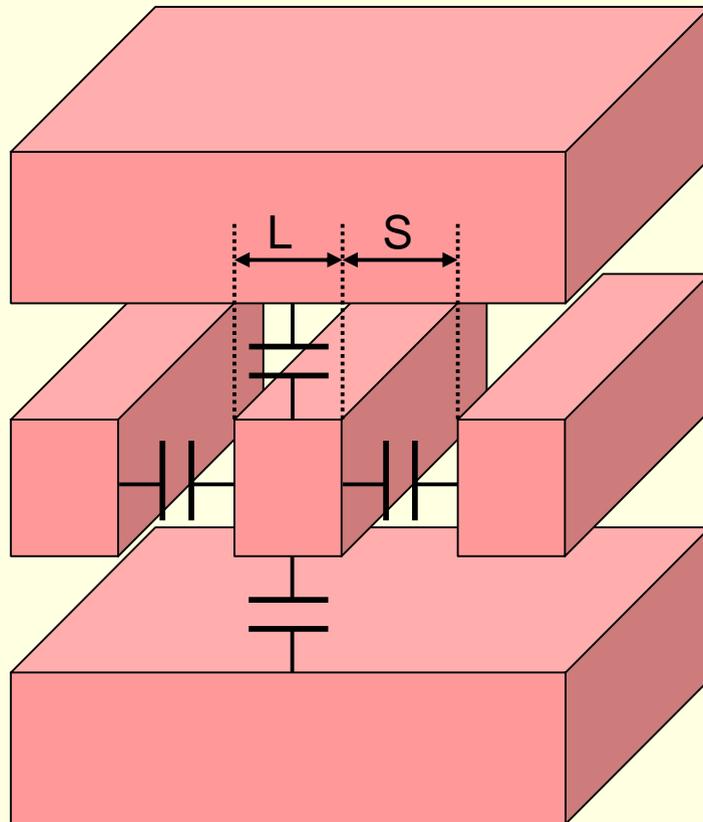
・Alの膜厚が $0.3\mu m$ の場合は下記の値となる

$$\rho_s(Al) \approx 0.1\Omega/$$

通常、この値はデザインマニュアルに記載されている

配線の容量

■ 配線は隣接配線，上下配線のために寄生容量を持つ



この値もデザインマニュアルに記載されるが，最先端のAI配線では通常 $0.1 \sim 0.5 \text{fF}/\mu\text{m}$ 程度である

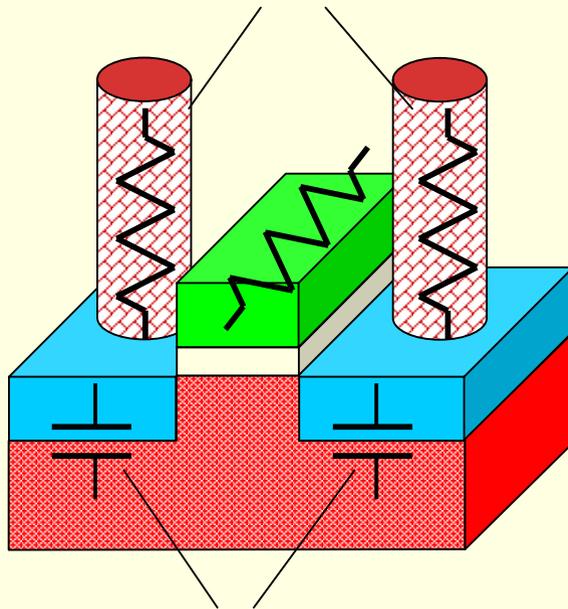
配線本数を少なくできるのであれば，

(1)隣接配線間隔 S を広くすれば寄生容量を小さくできる

(2)配線幅 L を太くすると，対上下配線の容量が増加するため容量は増加するが，抵抗は小さくなるため，信号遅延を小さくすることができる

LSI中の様々な寄生容量

- LSI中には前スライドのほかに様々な寄生抵抗, 寄生容量がある
- LSIの信号遅延の正確な計算には, これらの値を求めることが必要で, LPE(Layout Parameter Extractor)というCADツールが使われる



ソースドレイン容量

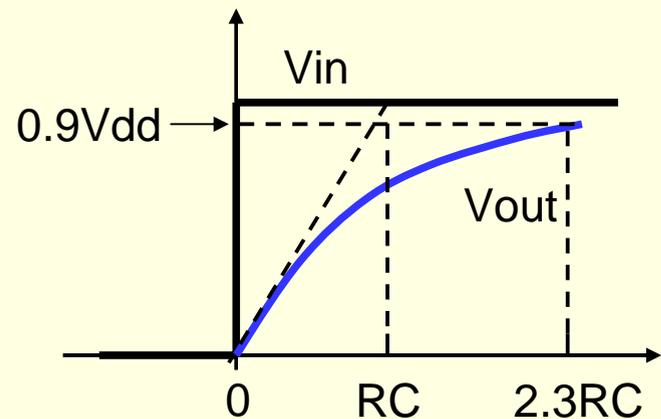
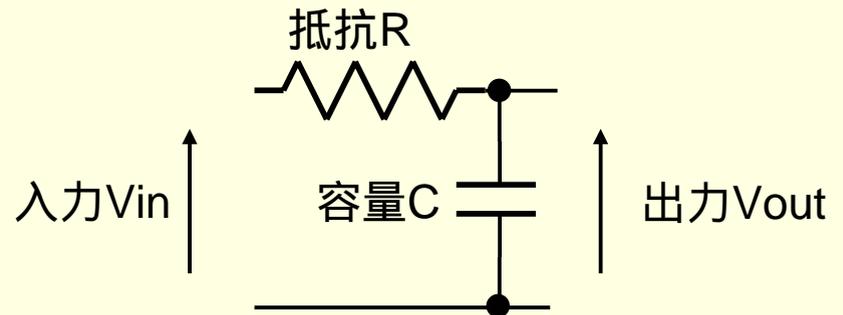
コンタクト抵抗

ゲート配線抵抗

RC遅延時間(電気回路で詳しく)

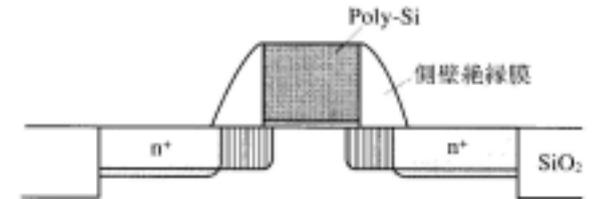
- 抵抗Rと負荷容量Cの積R・Cを時定数という
- 出力は以下の式で表される

$$V_{out} = V_{dd} \times \exp\left(-\frac{t}{CR}\right)$$

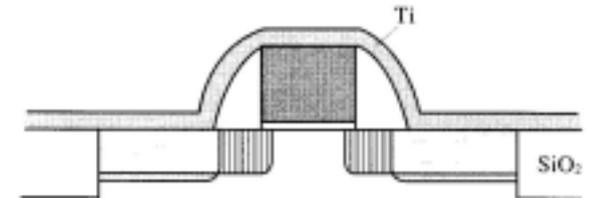


寄生抵抗を低減するプロセス

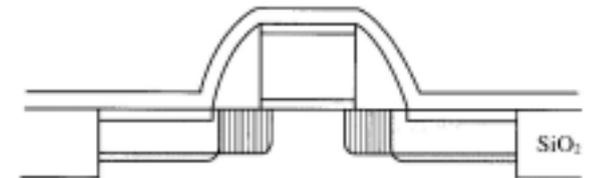
- シリサイド: シリコンと金属の化合物
シリコンと金属の接触点の抵抗を低減
例: WSi, TiSi, CoSi, NiSi
- サリサイド: トランジスタのゲート, ソース, ドレイン領域に自己整合的にシリサイドを形成する
Self Aligned Silicide



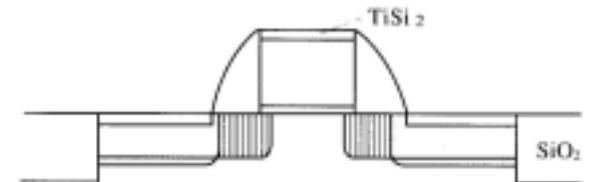
(a) ゲート横に側壁絶縁膜を有する Poly-Si ゲートを形成する。



(b) Ti膜をスパッタリングにより形成する。



(c) 熱処理によりTiとSiを反応させ、TiSi₂を形成する。

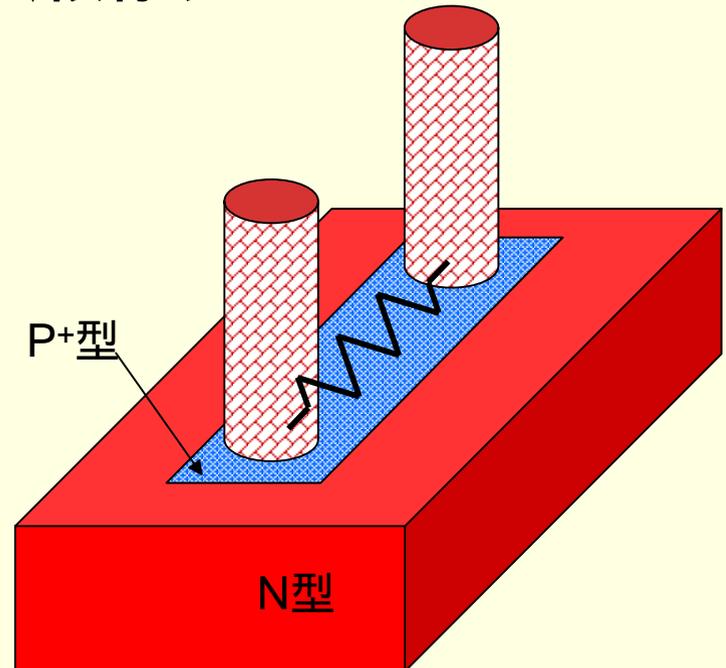


(d) 化学薬品を用いて未反応のTiを除去する。

図 5.8 サリサイド (Self Align Silicide) の形成プロセス

LSI中の容量素子・抵抗素子

- LSIで回路を構成する，受動素子としては，容量や抵抗素子も必要
- 容量としてはMOS容量
- 抵抗としてはシリサイド化しないN⁺,P⁺拡散抵抗
拡散抵抗値はプロセスに大きく依存する
が50～500 / 程度



SPICEシミュレーション～回路図入力～

NS-Draw Drawing

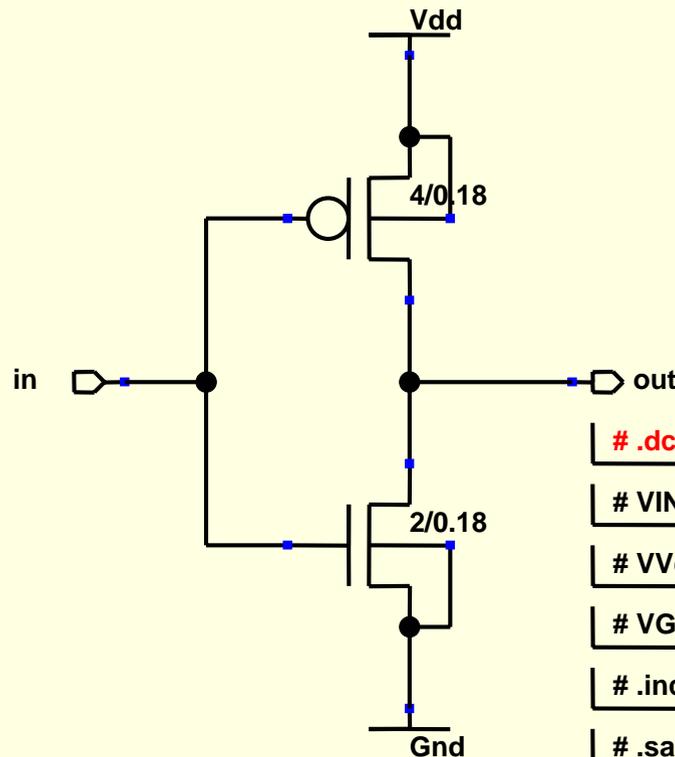
"i-i @B@PFUJINO-MAIN

2003 / 10 / 15

Path: F:\simulate\fuji-cir\InvDC.nsd

Last Modified : 2003/10/15 14:38:01

"i-i @B@PFUJINO-MAIN



入力ファイルの
記述

```
# .dc VIN 0 1.8 0.01
```

```
# VIN in 0 DC 0V
```

```
# VVdd Vdd 0 DC 1.8V
```

```
# VGnd Gnd 0 DC 0V
```

```
# .include MOS_018.bsim3
```

```
# .save in out
```

SPICE ~ DC 解析用ネットリスト ~

* Circuit : InvDC File Path : F:\simulate\fuji-cir\InvDC.nsd

*.SUBCKT InvDC Vdd Gnd in out

回路情報

M0 out in Gnd Gnd N1 W=2U L=0.18U AD=0.8P AS=0.8P PD=4.8U PS=4.8U

M1 Vdd in out Vdd P1 W=4U L=0.18U AD=1.6P AS=1.6P PD=8.8U PS=8.8U

.dc VIN 0 1.8 0.01

DC特性の解析

VGnd Gnd 0 DC 0V

VIN in 0 DC 0V

VVdd Vdd 0 DC 1.8V

.include MOS_018.bsim3

使用トランジスタモデル

.save in out

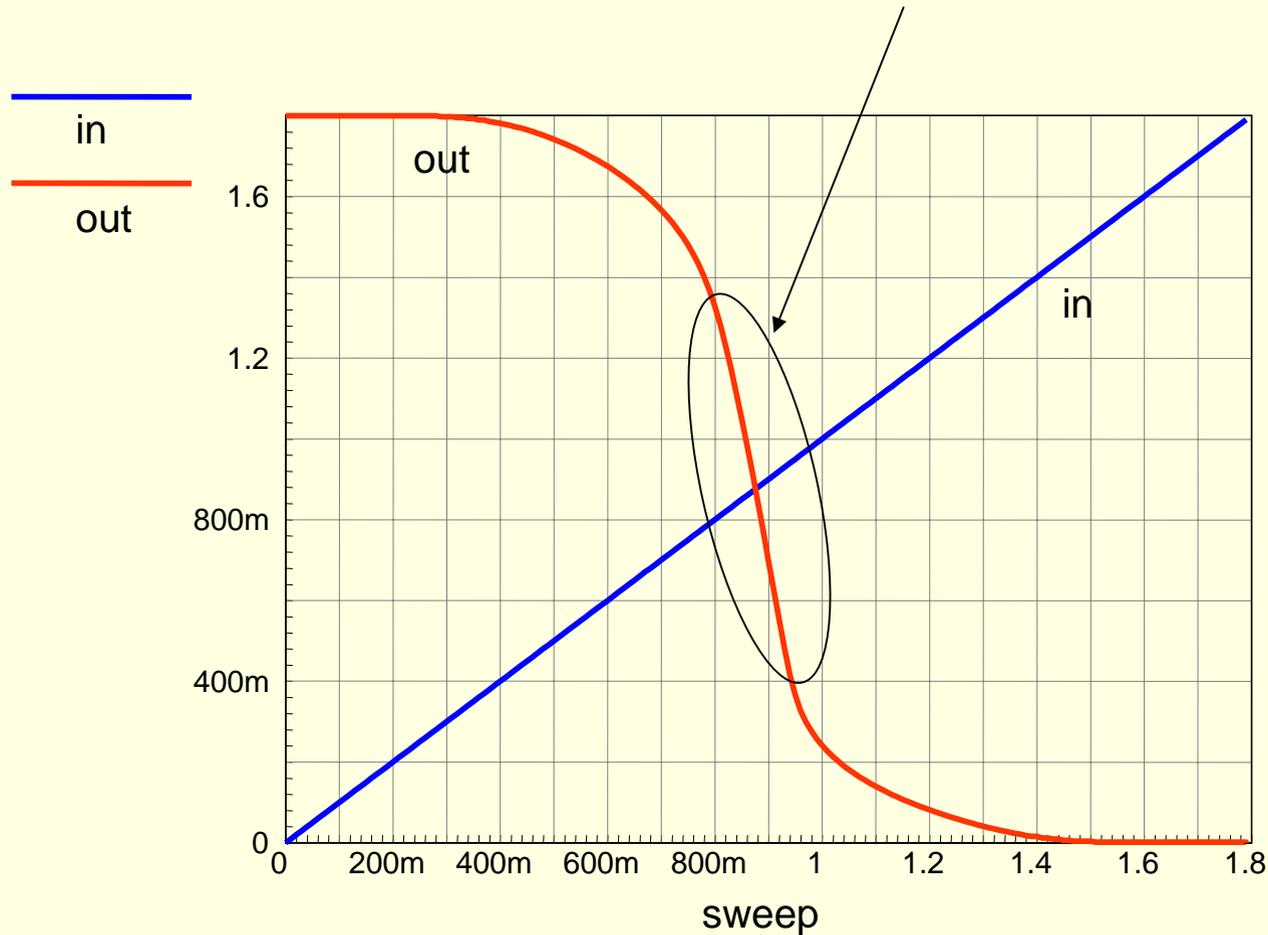
波形セーブボード指定

*.ENDS

.END

SPICE ~ DC波形出力 ~

- 現実のトランジスタは飽和領域でも、ドレイン電圧の増加に伴って少し電流が増加するためインバータしきい値近傍で出力波形も傾く



SPICEシミュレーション～回路図入力～

NS-Draw Drawing

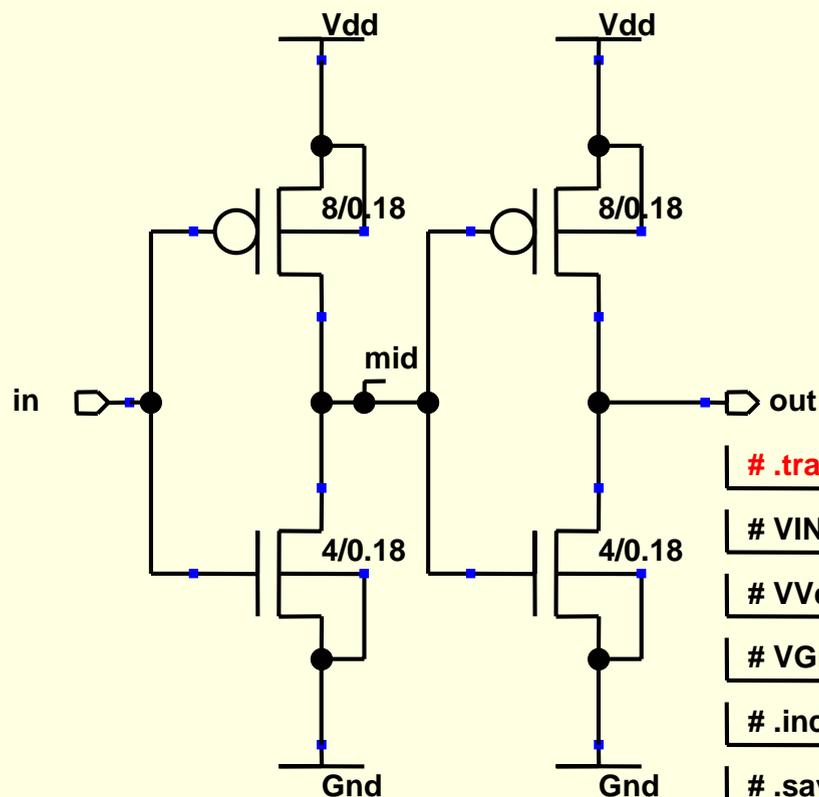
“i-i @<B@PFUJINO-MAIN

2003 / 10 / 15

Path: F:\simulate\fuji-cir\Buffer.nsd

Last Modified : 2003/10/15 13:01:32

“i-i @<B@PFUJINO-MAIN



```
# .tran 0.01n 3n
```

```
# VIN in 0 PWL(0n 0V 1n 0V 1.05n 1.8V 2n 1.8V 2.05n 0V 100n
```

```
# VVdd Vdd 0 DC 1.8V
```

```
# VGnd Gnd 0 DC 0V
```

```
# .include MOS_018.bsim3
```

```
# .save in out
```

SPICE ~ 過渡解析波形出力 ~



覚えるべき式まとめ

トランジスタの利得

$$\beta_n = \frac{W_n}{L_n} \mu_n C_{ox} \quad \beta_p = \frac{W_p}{L_p} \mu_p C_{ox}$$

インバータのしきい値

$$V_{inv} = V_{in} = \frac{V_{dd} + V_{thp} + V_{thn} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

インバータの立上り/
立下り時間

$$t_f \approx 4 \times \frac{C_L}{\beta_n V_{dd}} \quad t_r \approx 4 \times \frac{C_L}{\beta_p V_{dd}}$$

CMOS回路の消費電力

$$P = C_L \cdot V_{dd}^2 \cdot f$$