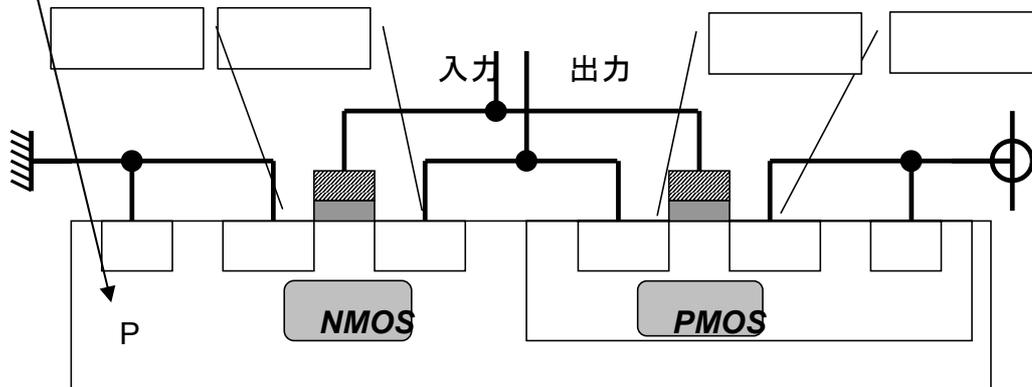


学科名 () 学生番号 () 氏名 ()

(1)以下の条件で V_{gs} (ゲート電圧)= V_{ds} (ドレイン電圧)= $2.5V$ のときの NMOS トランジスタの飽和電流を計算せよ

電子の実効移動度 $\mu_n=200[\text{cm}^2/\text{V}\cdot\text{s}]$, ゲート長 $0.25[\mu\text{m}]$, ゲート幅 $10[\mu\text{m}]$
しきい値電圧 $0.5V$, 単位面積あたりの酸化膜容量 $C_{ox}=7\times 10^{-7} [\text{F}/\text{cm}^2]$

(2)下記の CMOS インバータの断面構造において、基板内の8つの領域に P, N, P+, N+のいずれかを書入れ (1領域だけ回答例を示しています.), トランジスタの4つの電極にソースまたはドレインのどちらかを明示しなさい.



(3)下記の真理値表で構成される入力 A,B,C を持つ関数 F を和積型の演算式で表現せよ

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

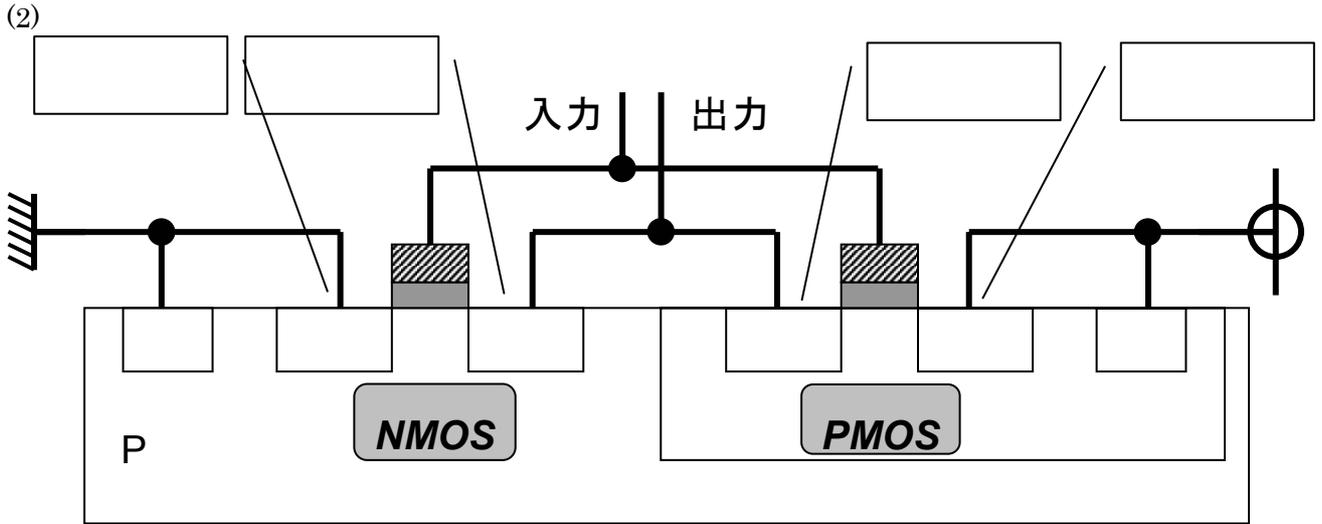
(4)5入力の AND ゲートを3入力以下の NOR および NAND ゲートを用いて構成し MIL 記号で示せ. 構成した回路は PMOS, NMOS それぞれいくつのトランジスタで構成されるかも答えよ.

(5)以下の CMOS 回路を製造する工程を, プロセスフローの順番に数字を入れよ

- (a)金属配線形成 ———()
- (b)LOCOS 形成 ———()
- (c)コンタクト形成 ———()
- (d)ウェル形成 ———()
- (e)ソースドレイン電極形成(イオン注入) ———()

学科名 () 学生番号 () 氏名 ()

(1)



(3)

(4)

- (5)
- | | |
|-----------------------|-------|
| (a)金属配線形成 | ——() |
| (b)LOCOS 形成 | ——() |
| (c)コンタクト形成 | ——() |
| (d)ウエル形成 | ——() |
| (e)ソースドレイン電極形成(イオン注入) | ——() |