

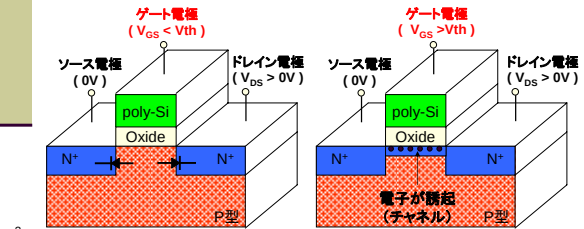
半導体工学(12)

MOS電界効果トランジスタ(2)

電子情報デザイン学科 藤野 毅 1

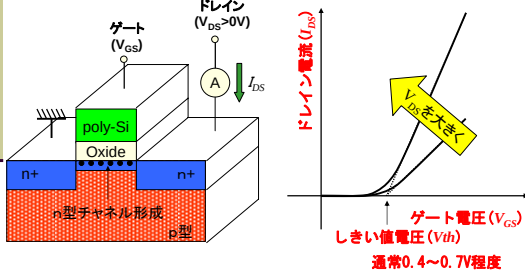
NチャンネルMOSTランジスタの特性

- Nチャネル(N型)MOSTランジスタ
ゲート電極に**しきい値電圧(V_{th})**以上の正の電圧が印加されると酸化膜界面に**電子の反転層**が形成されソースドレイン間が導通する



N型MOSTランジスタのゲート電圧依存性

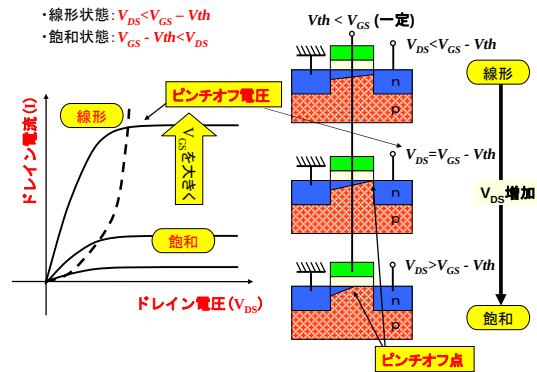
- ゲート電圧(V_{GS})がしきい値(V_{th})を超えるとドレイン電流 I_{DS} が流れるが、**ゲート電流は流れない**。
- 同じゲート電圧でも、 **V_{DS} を大きくするほどドレイン電流 I_{DS} が多く流れる**が、ある電圧以上になると**電流は飽和**する。



3

N型MOSTランジスタのドレイン電圧依存性

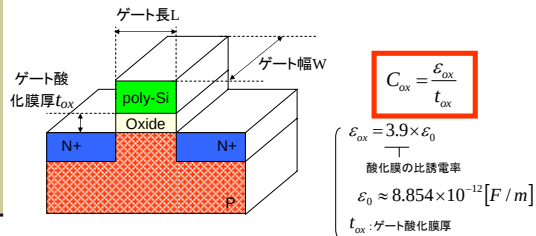
- 線形状態: $V_{DS} < V_{GS} - V_{th}$
- 飽和状態: $V_{GS} - V_{th} < V_{DS}$



4

MOSTランジスタの容量(復習)

- 単位面積あたりの酸化膜容量 C_{ox} は以下で示される



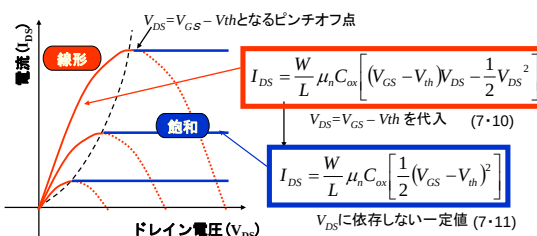
- ゲート酸化膜容量 C_g は以下で示される

$$C_g \approx L \times W \times C_{ox}$$

5

N型MOSTランジスタのドレイン電流式

- 線形領域と飽和領域とで2種類の式があるが、ピンチオフ電圧の定義($V_{DS} = V_{GS} - V_{th}$)を覚えておけば線形式から飽和式が求まる。

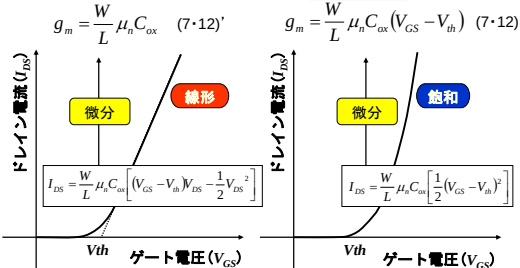


6

相互コンダクタンスと利得係数

- 相互コンダクタンス g_m とは、ゲート電圧 V_{GS} の変化に対するドレイン電流 I_{DS} の変化の割合

$$g_m = \frac{dI_{DS}}{dV_{GS}}$$



- 上記の回路の特性値 $\frac{W}{L} \mu_n C_{ox}$ を利得係数 β と呼ぶ

N型MOSTランジスタのドレイン電流式導出

- チャンネルの微小部分に誘起される反転電荷 Q_i

$$Q_i = -C_{ox}(V_G - V_{th}) \quad (7.6)$$

$$Q_i = -C_{ox}(V_G - V_x - V_{th}) \quad (7.9)$$

$$I_{DS} = WQ_i \mu_n E(x) = W \mu_n C_{ox} (V_G - V_x - V_{th}) \frac{dV_x}{dx}$$

$$\int_0^L I_{DS} dx = \int_0^{V_{DS}} W \mu_n C_{ox} (V_G - V_x - V_{th}) dV_x$$

$$L \cdot I_{DS} = W \mu_n C_{ox} \left[(V_G - V_{th}) V_x - \frac{1}{2} V_x^2 \right]_0^{V_{DS}}$$

$$\therefore I_{DS} = \frac{W}{L} \mu_n C_{ox} \left[(V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

反転状態としきい値電圧

- 前のスライドでの電荷分布を簡略化

$$Q_G = -Q_S = -Q_I - Q_B \quad (7.1)$$

$$V_G = V_{ox} + \phi_s \quad (7.2)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad V_{ox} = \frac{Q_G}{C_{ox}} \quad (7.3)$$

(ϵ_{ox} は酸化膜誘電率)

$$V_G = \frac{Q_G}{C_{ox}} + \phi_s = -\frac{Q_S}{C_{ox}} + \phi_s = -\frac{Q_I + Q_B}{C_{ox}} + \phi_s \quad (7.4)$$

$$V_G = V_{th} \quad Q_I \approx 0 \quad \phi_s = 2 \cdot \phi_p$$

$$V_{th} = -\frac{Q_B}{C_{ox}} + 2 \cdot \phi_p \quad (7.5)$$

(7.4), (7.5)式より

$$C_{ox}(V_G - V_{th}) = -(Q_I + Q_B) + \phi_s \cdot C_{ox} + Q_B - 2 \cdot \phi_p \cdot C_{ox} = -Q_I$$

$$\therefore \phi_s \approx 2 \cdot \phi_p \quad (\text{ただし } V_G > V_{th} \text{ のとき})$$

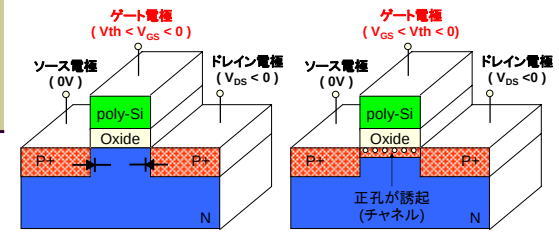
$$\therefore Q_I = -C_{ox}(V_G - V_{th}) \quad (7.6)$$

$$Q_B = -q \cdot N_A \cdot d \quad (7.7)$$

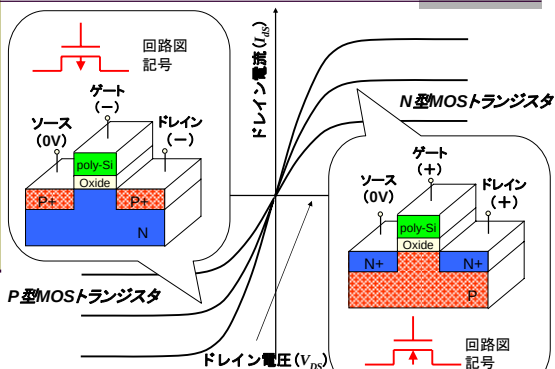
Pチャンネル(P型)MOSTランジスタの特性

- P型MOSTランジスタ

ゲート電極にしきい値電圧 ($V_{th} < 0V$) 以下の負の電圧が印加されると酸化膜界面に正孔の反転層が形成されソースドレイン間が導通する

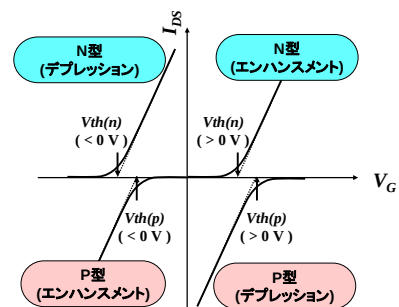


P型とN型MOSTランジスタの電気特性比較

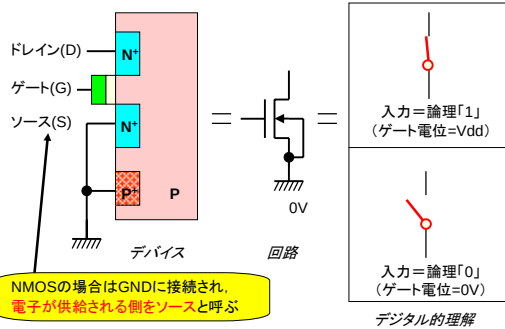


エンハンスメント型とデプレッション型

- エンハンスメント型: $V_{GS} = 0V$ で反転層が形成されていない
- デプレッション型: $V_{GS} = 0V$ で反転層が形成されている

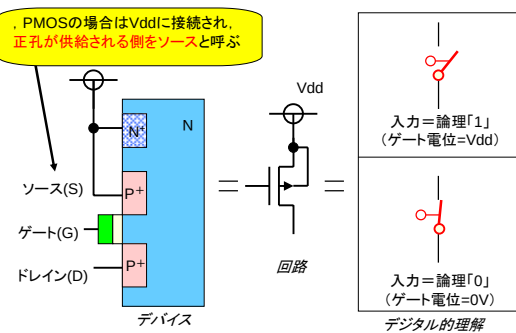


N型MOSTランジスタを用いたスイッチ



13

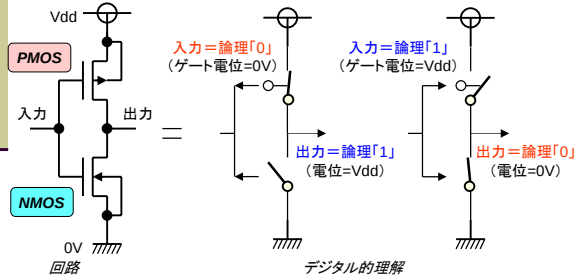
P型MOSTランジスタを用いたスイッチ



14

CMOS回路を用いたNOT論理ゲート(インバータ)

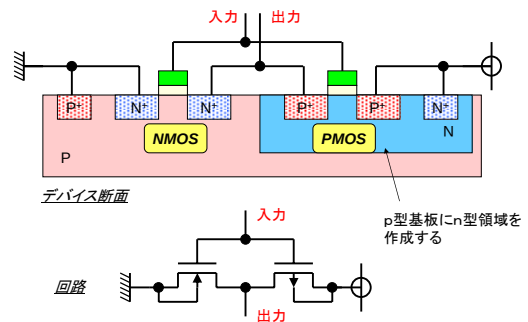
- 入力電圧により、NMOS、PMOSランジスタのいずれかが相補的 (Complimentary) にONしている⇒CMOS回路
- CMOS回路は待機時に電流が流れないので低消費電力
- 論理振幅が電源電圧と同じなのでノイズに強く、また電源電圧の低電圧化に有利⇒現在のデジタルVLSIはほとんどがCMOS回路



15

CMOSランジスタの断面構造

- NMOSとPMOSを接続してインバータを形成



16

NMOSおよびPMOSランジスタ記号

- 通常のデジタル論理では3端子モデルを使うことが多いが、アナログ回路では基板端子を含む4端子モデルを使うことが多い

	3端子モデル	4端子モデル
NMOS		
	基板はGND電位	
PMOS		
	基板はVdd電位	

17